

CERTIFICATE OF HAND DELIVERY

I hereby certify that this correspondence is being hand filed with the United States Patent and Trademark Office in Washington, D.C. on
April 10, 2001.

Marieta Luke
Marieta Luke



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In the application of:

Koji TSUKADA

Serial No.: 09/781,197

Filing Date: February 13, 2001

For: IMAGE READING APPARATUS

Examiner: to be assigned

Group Art Unit: 2622

RECEIVED
APR 11 2001
Group 2600

TRANSMITTAL OF PRIORITY DOCUMENT

Commissioner for Patents
Washington, D.C. 20231

Sir:

Under the provisions of 35 USC 119, Applicant hereby claims the benefit of the filing of
Japanese Patent Application No. 2000-035038, filed February 14, 2000.

The certified priority document is attached to perfect Applicant's claim for priority.

It is respectfully requested that the receipt of the certified copy attached hereto be
acknowledged in this application.

In the event that the transmittal letter is separated from this document and the Patent and
Trademark Office determines that an extension and/or other relief is required, Applicant petitions
for any required relief including extensions of time and authorizes the Commissioner to charge
the cost of such petitions and/or other fees due in connection with the filing of this document to

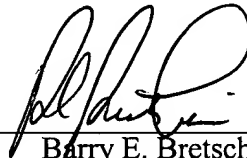
dc-257706

Deposit Account No. 03-1952. However, the Commissioner is not authorized to charge the cost of the issue fee to the Deposit Account.

Dated: April 10, 2001

Respectfully submitted,

By:



Barry E. Bretschneider
Registration No. 28,055

Morrison & Foerster ^{LLP}
2000 Pennsylvania Avenue, N.W.
Washington, D.C. 20006-1888
Telephone: (202) 887-1545
Facsimile: (202) 263-8396



日本国特許庁

PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
る事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
in this Office.

出願年月日
Date of Application:

2000年 2月14日

願番号
Application Number:

特願2000-035038

願人
Applicant (s):

ミノルタ株式会社

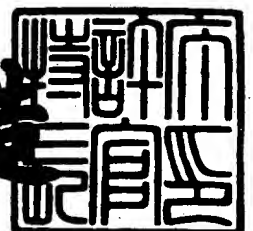
RECEIVED
APR 11 2001
Group 2600

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年 2月 2日

特許庁長官
Commissioner,
Patent Office

及川耕造



【書類名】 特許願

【整理番号】 M1224000

【提出日】 平成12年 2月14日

【あて先】 特許庁長官 殿

【国際特許分類】 H04N 5/335
H04N 1/028

【発明の名称】 画像読み取り装置

【請求項の数】 3

【発明者】

【住所又は居所】 大阪府大阪市中央区安土町二丁目3番13号大阪国際ビ
ル ミノルタ株式会社内

【氏名】 塚田 孝二

【特許出願人】

【識別番号】 000006079

【氏名又は名称】 ミノルタ株式会社

【代理人】

【識別番号】 100105751

【弁理士】

【氏名又は名称】 岡戸 昭佳

【連絡先】 0 5 2 - 2 6 3 - 3 1 3 1

【選任した代理人】

【識別番号】 100097009

【弁理士】

【氏名又は名称】 富澤 孝

【選任した代理人】

【識別番号】 100098431

【弁理士】

【氏名又は名称】 山中 郁生

【手数料の表示】

【予納台帳番号】 044808

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9716116

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 画像読み取り装置

【特許請求の範囲】

【請求項 1】 制御信号とパルス信号とに応じて画像情報を光電変換する光電変換手段と、

入力クロックに応じて前記パルス信号を生成するパルス信号生成手段と、

前記光電変換手段における 1 画素の走査周期に対応するクロックを n 通倍 (n は整数) した通倍クロックを生成するクロック通倍手段と、

前記光電変換手段における 1 画素の走査周期ごとに前記通倍クロックに応じてロード信号を生成するロード信号生成手段と、

前記通倍クロックと前記ロード信号とに応じてカウントデータを出力するカウンタ手段と、

前記パルス信号のパルス幅の設定値と前記カウントデータとを比較して比較信号を生成する比較信号生成手段と、

前記比較信号に基づき前記制御信号を生成する制御信号生成手段と、
を有することを特徴とする画像読み取り装置。

【請求項 2】 請求項 1 に記載する画像読み取り装置において、

前記制御信号を生成するときのパイプライン遅延と前記パルス信号を生成するときのパイプライン遅延との差を解消する第 1 のパイプライン遅延調整手段を有することを特徴とする画像読み取り装置。

【請求項 3】 請求項 1 に記載する画像読み取り装置において、

前記制御信号の出力を停止させる停止信号をパルス信号に応じて生成する停止信号生成手段と、

前記停止信号に応じて前記制御信号の出力を停止させる信号停止手段と、

前記停止信号を生成するときのパイプライン遅延と前記制御信号を生成するときのパイプライン遅延との差を解消する第 2 のパイプライン遅延調整手段と、
を有することを特徴とする画像読み取り装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、原稿を光学的に走査して画像情報を得る画像読み取り装置に関する。さらに詳細には、デジタル複写機やスキャナ等に搭載される画像読み取り装置に関するものである。

【0002】

【従来の技術】

従来の画像読み取り装置は、まず、CCDセンサ等のリニアイメージセンサによって、原稿からの反射光を光電変換してアナログ画像信号を得る。そして、A/D変換器でデジタルの画像信号に変換した後、必要な画像処理が行われるようになっている。このような画像読み取り装置の構成を、図16に示す。画像読み取り装置には、CCDセンサ101と、サンプルホールド回路102と、増幅回路103と、A/D変換回路104と、チャンネル合成回路105と、タイミング発生回路106と、位相調整回路107とが備わっている。なお、CCDセンサ101はodd（奇数画素）、even（偶数画素）同時並列出力型であるため、サンプルホールド回路102、増幅回路103、およびA/D変換回路104は、それぞれoddとevenとに対応するそれぞれの回路を備えている。

【0003】

CCDセンサ101は固体撮像素子であり、転送クロックTR、リセットパルスRS、シフトパルスSFにより駆動されるものである。タイミング発生回路106は、任意のパルス幅と位相とを有する転送クロックTR、シフトパルスSF、リセットパルスRS、サンプルホールドパルスSH、A/DクロックAD、および画素クロックPEを生成して各回路に供給するものである。サンプルホールド回路102は、CCDセンサ101の信号出力期間内において、安定期間中のアナログ画像信号をサンプルホールドパルスSHの立ち下がりエッジに同期してサンプルホールドするものである。チャンネル合成回路105は、odd、evenに対応する各A/D変換回路104の出力を合成し、画素クロックPEの立ち上がりエッジに同期して読み取り画像データを出力するものである。位相調整回路107は、タイミング発生回路106で生成されたリセットパルスRSとサンプルホールドパルスSHとの位相を微調整（ns単位）するものである。

【0004】

ここで、タイミング発生回路106のブロック図を図17に示す。タイミング発生回路106には、メインカウンタ回路111と、信号発生回路112Aと、信号発生回路112Bと、遅延回路113とが備わっている。メインカウンタ回路111は、基準クロックとして入力されている入力クロックENに基づき、画素クロックPEと、パルス信号PLと、転送クロックTRおよびリセットパルスRSの出力を停止させる停止信号TSTおよびRSTと、CCDセンサ101の注目画素が変わる度に出力されるロード信号RDとを生成するものである。

【0005】

信号発生回路112Aは、入力クロックENとロード信号RDとから任意のパルス幅と位相とを有する信号を出力するものである。この信号発生回路112Aは、図18に示すように、カウンタ回路121と、パルス発生回路122と、遅延回路123Aと、遅延回路123Bと、遅延回路123Cと、ORゲート124と、NOTゲート125とが備わっている。そして、生成される信号に対するパルス幅と位相の設定は、図19に示すように、同一のCCD画素の読み出し周期を1周期とし、入力クロックENの両エッジを基準にしてそれぞれ独立に2/8～7/8周期相当、0/8～7/8周期相当まで可能である。なお、図19にはパルス幅が3/8周期相当、位相が3/8周期相当の出力を示している。

【0006】

カウンタ回路121は、メインカウンタ回路111からのロード信号RDを受け、図20に示す対応表に基づく位相設定に対応したロード値を入力クロックENの1個分だけ遅延して出力するものである。それ以外のときは、再びロード信号が入力されるまでカウントアップを続けるようになっている。

【0007】

パルス発生回路122は、図21に示す対応表に基づくパルス幅の設定に対応した比較値とカウンタ回路121の出力とを比較して、カウンタ回路121の出力が比較値より小さいときに出力信号を“H”とし、それ以外のときには出力信号を“L”として、入力クロックENの2個分だけ遅延して出力するものである。

【0008】

遅延回路123Cは、信号発生回路11.2Aのパイプライン遅延数が入力クロックENの8個分となるように、パルス発生回路122の出力を入力クロックENの3個分だけ遅延させて出力するものである。

【0009】

遅延回路123Aは、入力クロックENの立ち上がりエッジに同期し、位相の設定が $n/8$ 周期相当の場合の n が偶数のときには入力信号を入力クロックENの2個分だけ遅延させて出力し、位相の設定が $n/8$ 周期相当の場合の n とパルス幅の設定が $m/8$ 周期相当の場合の m とが共に奇数のときには入力信号を入力クロックENの3個分だけ遅延させて出力し、それ以外のときは出力信号を“L”にするものである。

【0010】

遅延回路123Bは、入力クロックENの立ち下がりエッジに同期し、位相の設定が $n/8$ 周期相当の場合の n が奇数のときには入力信号を入力クロックENの2.5個分だけ遅延させて出力し、それ以外のときは出力信号を“L”にするものである。

【0011】

続いて、信号発生回路112Bのブロック図を図22に示す。信号発生回路112Bには、カウンタ回路131と、パルス発生回路132と、遅延回路133Aと、遅延回路133Bと、遅延回路133Cと、ORゲート124と、NOTゲート125と、遅延回路133Dと、セレクタ137とが備わっている。このうち、遅延回路133A、遅延回路133B、および遅延回路133Cは、それぞれ信号発生回路112Aに備わる遅延回路123A、遅延回路123B、および遅延回路123Cと同じものである。つまり、信号発生回路112Bは、信号発生回路112Aに遅延回路133Dとセレクタ137とを追加した構成になっている。そして、信号発生回路112Bは、入力クロックEN、ロード信号RD、および停止信号TSTあるいはRSTに応じて、任意のパルス幅と位相とを有しかつ予め設定された信号停止期間に出力が停止された信号を出力するようになっている。

【0012】

遅延回路133Dは、CCDセンサ用メインカウンタを基準にして、外部で信号が停止されるまでのパイプライン遅延数が入力クロックENの8個分となるように、停止信号TSTあるいはRSTを入力クロックENの2個分だけ遅延して出力するものである。

【0013】

セクタ137は、遅延回路133Dの出力に基づいて、その出力信号が“H”であれば停止時信号STT(“H”あるいは“L”のどちらかに固定されており、ここでは“L”に固定)を出力し、“L”であれば遅延回路133Cの出力信号を出力するものである。

【0014】

次に、上記した構成を有する画像読み取り装置の動作について説明する。CCDセンサ101は、図23に示すようなタイミングチャートに基づき駆動される。具体的には、CCDセンサ101のフォトダイオードに蓄積された電荷が、シフトパルスSFの出力が“H”になると、1ライン単位で一括してodd, evenの各アナログシフトレジスタに転送される。さらに、電荷は転送クロックTRによって出力部の各フローティングキャパシタに画素単位で並列に転送される。そして、このキャパシタの電位差を増幅した電圧がCCDセンサの出力信号として出力される。なお、この電位差は次画素の読み出しまでにリセットパルスRSの出力を“H”にすると初期化される。また、シフトパルスSFの出力が“H”のときはノイズ防止のために、転送クロックTRおよびリセットパルスRSの信号出力は停止させられている。

【0015】

CCDセンサ101からの出力信号が出力されると、図24に示すように、サンプルホールド回路102でサンプルホールドパルスSHに基づき、出力信号のサンプルホールドが行われる。そして、サンプルホールド回路102から出力された信号は、増幅回路103により増幅される。増幅された信号は、A/D変換回路104でA/DクロックADに基づきデジタル信号に変換される。このデジタル信号は、チャンネル合成回路105で画素クロックPEに基づきodd, e

venに対応する各デジタル信号が合成される。そして、チャンネル合成回路105で合成された信号が、読み取り画像データとして出力される。

【0016】

ここで、各種信号を生成するメインカウンタ回路111、信号発生回路112A、および信号発生回路112Bの動作について説明する。ここでは、読み取り画像データを40MHzで処理する場合を考える。まず、メインカウンタ回路111の動作について、図25を用いて説明する。メインカウンタ回路111には、基準クロックとなる入力クロックENが入力されている。この入力クロックENが分周されて画素クロックPEが生成される。また、CCDセンサ101の画素単位でパルス信号PL、転送クロック停止信号TST、およびリセットパルス停止信号RSTが生成される。さらに、CCDセンサ101の注目画素が変更される度にロード信号RDが生成される。なお、メインカウンタ出力は画素クロックPEに同期して画像データの画素位置を示し、CCDセンサ用メインカウンタ出力はメインカウンタ出力の最下位ビットを省略したものである。

【0017】

そして、パルス信号PL、転送クロック停止信号TST、およびリセットパルス停止信号RSTは、CCDセンサ用メインカウンタ上の予め設定された位置（図25では「2」）から1CCD画素分（入力クロック4個分）だけ遅延して出力される。ただし、パルス信号PLは、さらに遅延回路113にて1CCD画素分だけ遅延されてシフトパルスSFとして出力される。1CCD画素分だけ遅延するのは、他の信号とパイプライン遅延数を合わせて同期を取るためである。

【0018】

また、メインカウンタ回路111から外部に信号が出力されるまでのパイプライン遅延数は、信号発生回路112A、112Bにより、どの信号でも2CCD画素分（画素クロック4個分＝入力クロック8個分）に統一されるようになっている。CCDセンサ101から出力される出力信号と読み取り画像データとの同期が確実に取れるようにするためである。

【0019】

そこで、信号発生回路112Aおよび112Bの動作について説明する。まず

、信号発生回路 1 1 2 A の動作モードは、パルス幅の設定を $m/8$ 周期相当、位相の設定を $n/8$ 周期相当と表すと、 m 、 n が偶数か奇数かによって、4 種類に分類される。各動作モードに対応する信号発生回路 1 1 2 A のタイミングチャートを図 2 6 ～図 2 9 に示す。ここで、図 2 6 は、パルス幅の設定が $4/8$ 周期相当 (m が偶数)、位相の設定が 0 周期相当 (n が偶数) の場合における信号発生回路 1 1 2 A のタイミングチャートである。図 2 7 は、パルス幅の設定が $3/8$ 周期相当 (m が奇数)、位相の設定が 0 周期相当 (n が偶数) の場合における信号発生回路 1 1 2 A のタイミングチャートである。図 2 8 は、パルス幅の設定が $6/8$ 周期相当 (m が偶数)、位相の設定が $3/8$ 周期相当 (n が奇数) の場合における信号発生回路 1 1 2 A のタイミングチャートである。図 2 9 は、パルス幅の設定が $3/8$ 周期相当 (m が奇数)、位相の設定が $3/8$ 周期相当 (n が奇数) の場合における信号発生回路 1 1 2 A のタイミングチャートである。

【0020】

図 2 6 ～図 2 9 に示すように、信号発生回路 1 1 2 A において、任意のパルス幅と位相とを有する信号が生成され、生成された信号は 2 CCD 画素分 (入力クロック 8 個分) だけ遅延されて出力されている。ここで、信号発生回路 1 1 2 A の動作の一例として、図 2 6 に示すパルス幅を $4/8$ 周期相当、位相を 0 周期相当に設定した場合を取り上げて詳細に説明する。

【0021】

まず、位相が 0 周期相当であるから図 2 0 の対応表に基づき、ロード値が「0」に設定される。そうすると、カウンタ回路 1 2 1 からは、カウンタデータ「0」が入力クロック EN の 1 個分だけ遅延されたものが出力される。また、パルス幅が $4/8$ 周期相当であるから図 2 1 の対応表により、比較値が「2」に設定される。このため、パルス発生回路 1 2 2 からは、カウンタ回路 1 2 1 の出力が比較値「2」より小さいとき (つまり「0」と「1」のとき) に出力信号が“H”にされ、この信号が入力クロック EN の 2 個分だけ遅延されて出力される。

【0022】

そして、パルス発生回路 1 2 2 の出力信号は、遅延回路 1 2 3 C により入力クロック EN の 3 個分だけ遅延される。次いで、遅延回路 1 2 3 C の出力信号は、

遅延回路 1 2 3 A により入力クロック E N の 2 個分だけ遅延される。一方、位相が 0 周期相当に設定されているから、遅延回路 1 2 3 B の出力信号は、“L” となっている。そして、遅延回路 1 2 3 A と 1 2 3 B との出力信号に基づき O R ゲート 1 2 4 によって、信号発生回路 1 1 2 A からの最終的な信号が生成される。この最終的な信号出力は、設定通りにパルス幅が 4/8 周期相当、位相が 0 周期相当になっており、しかも 2 C C D 画素分（入力クロック 8 個分）だけ遅延されて出力されている。

【 0 0 2 3 】

次に、信号発生回路 1 1 2 B の動作について説明する。信号発生回路 1 1 2 B の動作モードも、信号発生回路 1 1 2 A と同様に、パルス幅の設定を $m/8$ 周期相当、位相の設定を $n/8$ 周期相当と表すと、 m 、 n が偶数か奇数かによって、4 種類に分類される。そこで、パルス幅の設定が 3/8 周期相当（ m が奇数）、位相の設定が 3/8 周期相当（ n が奇数）の場合を一例として、そのとき動作について図 3 0 を用いて詳細に説明する。

【 0 0 2 4 】

まず、位相が 3/8 周期相当であるから図 2 0 の対応表に基づき、ロード値が「3」に設定される。そうすると、カウンタ回路 1 3 1 からは、カウンタデータ「3」が入力クロック E N の 1 個分だけ遅延されたものが出力される。また、パルス幅が 3/8 周期相当であるから図 2 1 の対応表により、比較値が「1」に設定される。このため、パルス発生回路 1 3 2 からは、カウンタ回路 1 3 1 の出力が比較値「1」より小さいとき（つまり「0」のとき）に出力信号が“H”にされ、この信号が入力クロック E N の 2 個分だけ遅延されて出力される。

【 0 0 2 5 】

そして、パルス発生回路 1 3 2 の出力信号は、遅延回路 1 3 3 C により入力クロック E N の 3 個分だけ遅延される。次いで、遅延回路 1 3 3 C の出力信号は、セレクタ 1 3 7 に入力される。一方、遅延回路 1 3 3 D により、停止信号 T S T あるいは R S T が入力クロック E N の 2 個分だけ遅延され、その遅延された信号がセレクタ 1 3 7 に入力される。そうすると、セレクタ 1 3 7 により、遅延回路 1 3 3 D の出力信号が“H”であれば停止時信号 S T T（ここでは“L”に固定

) を出力し、“L”であれば遅延回路133Cの出力信号が出力される。

【0026】

セクタ137の出力信号は遅延回路133Aに入力される。ここで、パルス幅と位相とを表す $m/8$ 、 $n/8$ における m 、 n がともに奇数であるから、遅延回路133Aにより、セクタ137の出力信号は入力クロックENの3個分だけ遅延される。また、セクタ137の出力信号は遅延回路133Bにも入力される。ここで、位相を表す $n/8$ における n が奇数であるから、遅延回路133Bにより、セクタ137の出力信号は入力クロックENの2.5個分だけ遅延される。そして、遅延回路133Aと133Bとの出力信号に基づきORゲート124によって、信号発生回路112Bからの最終的な信号が生成される。この最終的な信号出力は、設定通りにパルス幅が3/8周期相当、位相が3/8周期相当になっており、しかも2CCD画素分（入力クロック8個分）だけ遅延されて出力されている。

【0027】

【発明が解決しようとする課題】

しかしながら、従来の読み取り装置では、高速機に搭載されるものを中低速機にそのまま搭載することができないという問題があった。すなわち、駆動周波数を低くすると、信号発生回路112A、112Bで生成される制御信号のパルス幅や位相が粗い精度でしか調整できないからである。

【0028】

例えば、読み取り画像データを40MHzで処理した場合を考える。この場合、CCDセンサ101は1画素当たり20MHzで駆動されるから、その周期は50nsとなる。このとき、タイミング信号の最小調整ステップ幅は、6.25ns(=50ns/8)である。一方、読み取り画像データを26.67MHzで処理する場合には、CCDセンサは1画素当たり13.33MHzで駆動されるから、その周期は75nsとなる。このとき、タイミング信号の最小調整ステップ幅は、9.38ns(=75ns/8)となる。このように、高速機(40MHz)に搭載されるものを中低速機(26.67MHz)にそのまま搭載すると、信号発生回路112A、112Bで生成される制御信号の最小調整ステップ

幅が大きくなり、十分な調整精度を確保することができないのである。

【0029】

また、CCDセンサ101の読み取り周期を長く（周波数を低く）すると、入力クロックの周波数も低くなるため、信号発生回路112A、112Bで生成される制御信号のパルス幅や位相も変化してしまうという問題もあった。

【0030】

そこで、本発明は上記した問題点を解決するためになされたものであり、光電変換手段の駆動周波数に関わりなく、任意のパルス幅と位相とを有する制御信号を生成することができ、パルス幅と位相との十分な調整精度を常に確保することができる画像読み取り装置を提供することを課題とする。

【0031】

【課題を解決するための手段】

上記問題点を解決するためになされた本発明に係る画像読み取り装置は、制御信号とパルス信号とに応じて画像情報を光電変換する光電変換手段と、入力クロックに応じてパルス信号を生成するパルス信号生成手段と、光電変換手段における1画素の走査周期に対応するクロックを n 通倍（ n は整数）した通倍クロックを生成するクロック通倍手段と、光電変換手段における1画素の走査周期ごとに通倍クロックに応じてロード信号を生成するロード信号生成手段と、通倍クロックとロード信号とに応じてカウントデータを出力するカウンタ手段と、パルス信号のパルス幅の設定値とカウントデータとを比較して比較信号を生成する比較信号生成手段と、比較信号に基づき制御信号を生成する制御信号生成手段と、を有する。

【0032】

この画像読み取り装置では、クロック通倍手段により、光電変換手段における1画素の走査周期に対応するクロックを n 通倍（ n は整数）した通倍クロックが生成される。また、ロード信号生成手段により、光電変換手段における1画素の走査周期ごとに、クロック通倍手段で生成された通倍クロックに応じてロード信号が生成される。そして、カウンタ手段により、通倍クロックとロード信号とに応じてカウントデータが出力される。次いで、比較信号生成手段により、パルス

信号のパルス幅の設定値とカウンタ手段から出力されるカウントデータとが比較されて比較信号が生成される。そうすると、制御信号生成手段により、比較信号生成手段で生成された比較信号に基づき制御信号が生成される。一方、パルス信号生成手段により、入力クロックに応じてパルス信号が生成される。そして、これら制御信号とパルス信号とにより、光電変換手段が駆動される。その結果、画像情報が画像データとして読み込まれる。

【 0 0 3 3 】

このように本発明の画像読み取り装置では制御信号を生成するためのクロックとして、通倍クロック生成手段で生成される通倍クロックが使用される。従って、光電変換手段への入力クロック（駆動周波数）に関わらず、通倍クロック生成手段における通倍率を変更することにより、任意のパルス幅と位相とを有する制御信号を生成することができる。これにより、光電変換手段の駆動周波数に関わりなく、制御信号におけるパルス幅と位相との十分な調整精度が確保される。

【 0 0 3 4 】

また、本発明に係る画像読み取り装置においては、制御信号を生成するときのパイプライン遅延とパルス信号を生成するときのパイプライン遅延との差を解消する第 1 のパイプライン遅延調整手段を有することが好ましい。

【 0 0 3 5 】

パルス信号は入力クロックを基準として生成される。一方、制御信号は通倍クロックを基準として生成される。このため、パルス信号と制御信号との間で同期が取れないおそれがある。しかし、本発明の画像読み取り装置は、制御信号を生成するときのパイプライン遅延とパルス信号を生成するときのパイプライン遅延との差を解消する第 1 のパイプライン遅延手段を有する。従って、パルス信号と制御信号との間で確実に同期を取ることができる。

【 0 0 3 6 】

さらに、本発明に係る画像読み取り装置においては、制御信号の出力を停止させる停止信号をパルス信号に応じて生成する停止信号生成手段と、停止信号に応じて制御信号の出力を停止させる信号停止手段と、停止信号を生成するときのパイプライン遅延と制御信号を生成するときのパイプライン遅延との差を解消する

第2のパイプライン遅延調整手段とを有することが好ましい。

【0037】

この画像読み取り装置では、停止信号生成手段により、制御信号の出力を停止させる停止信号がパルス信号に応じて生成される。このとき、第2のパイプライン遅延調整手段により、停止信号を生成するときのパイプライン遅延と制御信号を生成するときのパイプライン遅延との差が解消される。これにより、制御信号の設定パルス幅や設定位相が変更された場合であっても、信号停止手段により、任意期間において確実に制御信号の出力を停止させることができる。

【0038】

【発明の実施の形態】

以下、本発明の画像読み取り装置を具体化した実施の形態について図面に基づいて詳細に説明する。

【0039】

本実施の形態に係る画像読み取り装置は、図1に示すように、従来のものと同様に、CCDセンサ1と、サンプルホールド回路2と、増幅回路3と、A/D変換回路4と、チャンネル合成回路5と、タイミング発生回路6と、位相調整回路7とが備わっている。これらは従来のものと基本的には同じ構成を有するが、タイミング発生回路6は異なる構成を有する。なお、CCDセンサ1はodd, even同時並列出力型であるため、サンプルホールド回路2、増幅回路3、およびA/D変換回路4は、それぞれoddとevenとに対応するそれぞれの回路を備えている。

【0040】

CCDセンサ1は固体撮像素子であり、転送クロックNTR、リセットパルスNRS、シフトパルスSFにより駆動されるものである。タイミング発生回路6は、シフトパルスSFおよび画素クロックPEと、任意のパルス幅と位相とを有する転送クロックNTR、リセットパルスNRS、サンプルホールドパルスNSH、およびA/DクロックNADとを生成して各回路に供給するものである。サンプルホールド回路2は、CCDセンサ1の信号出力期間内において、安定期間中のアナログ画像信号をサンプルホールドパルスNSHの立ち下がりエッジに同

期してサンプルホールドするものである。チャンネル合成回路5は、odd, evenに対応する各A/D変換回路4の出力を合成し、画素クロックPEの立ち上がりエッジに同期して読み取り画像データを出力するものである。位相調整回路7は、タイミング発生回路6で生成されたりセットパルスNRSとサンプルホールドパルスNSHとの位相を微調整(ns単位)するものである。

【0041】

ここで、タイミング発生回路6のブロック図を図2に示す。タイミング発生回路6には、メインカウンタ回路11と、信号発生回路12Aと、信号発生回路12Bと、遅延回路13と、PLL回路14と、ロード信号生成回路15とが備わっている。すなわち、従来のタイミング発生回路106(図17参照)に、PLL回路14とロード信号生成回路15とが付加された構成となっている。また、信号発生回路12Aおよび12Bの構成も、後述するように従来のものとは異なる。

【0042】

メインカウンタ回路11は、基準クロックとして入力されている入力クロックENに基づき、画素クロックPEと、パルス信号PLと、転送クロックTRおよびリセットパルスRSの出力を停止させる停止信号TSTおよびRSTと、PLL回路14に inputsする参照クロックSCとを生成するものである。

【0043】

信号発生回路12Aは、PLL回路14から出力される逡倍クロックTCとロード信号生成回路15から出力されるロード信号NRDとに基づき、任意のパルス幅と位相とを有する信号を出力するものである。この信号発生回路12Aには、図3に示すように、カウンタ回路21と、パルス発生回路22と、遅延回路23Aと、遅延回路23Bと、遅延回路23Cと、ORゲート24と、NOTゲート25と、遅延調整回路26とが備わっている。すなわち、信号発生回路12Aは、従来の信号発生回路112A(図18参照)に遅延調整回路26を付加した構成になっている。

【0044】

そして、信号発生回路12Aで生成される信号に対するパルス幅と位相の設定

は、図4に示すように、通倍クロックTCの通倍率によって細かく設定することができる。具体的には、同一のCCD画素の読み出し周期を1周期とし、通倍クロックTCの両エッジを基準にしてパルス幅と位相の設定は、4通倍であればそれぞれ独立に $2/8 \sim 7/8$ 周期相当、 $0/8 \sim 7/8$ 周期相当まで、6通倍であればそれぞれ独立に $2/12 \sim 11/12$ 周期相当、 $0/12 \sim 11/12$ 周期相当まで、8通倍であればそれぞれ独立に $2/16 \sim 15/16$ 周期相当、 $0/16 \sim 15/16$ 周期相当まで可能である。このように、通倍率を大きくすることにより、パルス幅と位相の設定を細かく設定することができる。これにより、CCDセンサ1の駆動周波数（入力クロックEN）が遅くなっても、制御信号におけるパルス幅および位相の設定において、十分な調整精度が確保される。

【0045】

なお、図4には、4通倍時におけるパルス幅が $2/8$ 周期相当、位相が $2/8$ 周期相当の出力と、6通倍時におけるパルス幅が $3/12$ 周期相当、位相が $3/12$ 周期相当の出力と、8通倍時におけるパルス幅が $4/16$ 周期相当、位相が $4/16$ 周期相当の出力とを示している。また、図4では各通倍クロックにおける位相とパルス幅の定義を模式的に示したものであり、実際には、4通倍した通倍クロックの $1/8$ 周期の相とする時間と、6通倍した通倍クロックの $1/12$ 周期に相当する時間と、8通倍した通倍クロックの $1/16$ 周期に相当する時間とが等しい。

【0046】

PLL回路14は、参照クロックSCから予め設定された通倍率の通倍クロックTCを出力するものである。ロード信号生成回路15は、通倍クロックTCからロード信号NRDを生成するものである。このロード信号生成回路15には、図5に示すように、カウンタ回路16と、一致比較回路17と、零検出回路18とが備わっている。ここでカウンタ回路16は、一致比較回路17からの信号を受けて「0」をカウンタデータとして出力し、それ以外のときは再び信号を受けるまで通倍クロックTCに同期してカウントアップを続けるものである。一致比較回路17は、カウンタデータと「（通倍率-1）」とを比較し、両者が一致すれば信号を出力するものである。零検出回路18は、カウンタ回路16から出力されたカウンタデータが「0」であることを検出すると、ロード信号NRDを出

力するものである。

【0047】

図3に戻ってカウンタ回路21は、ロード信号生成回路15からのロード信号NRDを受け、図6に示す対応表で定まるロード値を通倍クロックTCの1個分だけ遅延して出力するものである。それ以外のときは、再びロード信号が入力されるまでカウントアップを続けるようになっている。なお、図6には通倍率が「4」、「6」、「8」の場合についての対応表を例示している。

【0048】

パルス発生回路22は、図7に示す対応表で定まる比較値とカウンタ回路21の出力とを比較して、カウンタ回路21の出力が比較値より小さいときに出力信号を“H”とし、それ以外のときには出力信号を“L”として、通倍クロックTCの2個分だけ遅延して出力するものである。なお、図7には通倍率が「4」、「6」、「8」の場合についての対応表を例示している。

【0049】

遅延調整回路26は、入力信号を遅延して出力するものである。この遅延調整回路26は、図8に示すように、4つの遅延型フリップフロップ41～44とセクタ45とで構成されており、遅延型フリップフロップ41～44におけるパイプライン遅延数がそれぞれ異なっている。これにより、パイプライン遅延数の異なる入力信号がセクタ45に入力される。そして、セクタ45によって必要とされるパイプライン遅延数を有する入力信号が選択されて、それが出力信号として出力される。なお、入力信号の選択は、セクタ45に入力される切換信号KSの内容に応じて行われる。具体的に遅延調整回路26では、通倍率が「4」以上である場合に入力信号を通倍クロックの「 $2 \times (\text{通倍率} - 4)$ 」個分だけ遅延させて出力するようになっている。

【0050】

遅延回路23Cは、遅延調整回路26で遅延調整しないときに信号発生回路12Aのパイプライン遅延数が通倍クロックTCの8個分となるように、遅延調整回路26の出力を通倍クロックTCの3個分だけ遅延させて出力するものである。

【0051】

遅延回路23Aは、通倍クロックTCの立ち上がりエッジに同期し、位相の設定が「 $n / (\text{通倍率} \times 2)$ 」周期相当の場合の n が偶数のときには入力信号を通倍クロックTCの2個分だけ遅延させて出力し、位相の設定が「 $n / (\text{通倍率} \times 2)$ 」周期相当の場合の n とパルス幅の設定が「 $m / (\text{通倍率} \times 2)$ 」周期相当の場合の m とが共に奇数のときには入力信号を通倍クロックTCの3個分だけ遅延させて出力し、それ以外のときは出力信号を“L”にするものである。

【0052】

遅延回路23Bは、通倍クロックTCの立ち下がりエッジに同期し、位相の設定が「 $n / (\text{通倍率} \times 2)$ 」周期相当の場合の n が奇数のときには入力信号を通倍クロックTCの2.5個分だけ遅延させて出力し、それ以外のときは出力信号を“L”にするものである。

【0053】

続いて、信号発生回路12Bのブロック図を図9に示す。信号発生回路12Bには、カウンタ回路31と、パルス発生回路32と、遅延回路33Aと、遅延回路33Bと、遅延回路33Cと、ORゲート24と、NOTゲート25と、遅延回路33Dと、セレクタ37と、遅延調整回路26および36とが備わっている。すなわち、信号発生回路12Bは、従来の信号発生回路112B（図22参照）に遅延調整回路26および36を付加した構成になっている。

【0054】

そして、信号発生回路12Bは、通倍クロックTC、ロード信号NRD、および停止信号TSTあるいはRSTに応じて、任意のパルス幅と位相とを有し、かつ予め設定された信号停止期間に信号出力を停止させた信号を出力するようになっている。

【0055】

ここで、遅延調整回路36は、遅延調整回路26と同じ構成を有し（図8参照）、入力信号を遅延して出力するものである。具体的に遅延調整回路36では、通倍率が「4」以上である場合に入力信号を通倍クロックの「（通倍率-4）」個分だけ遅延させて出力するようになっている。

【0056】

遅延回路33Dは、CCDセンサ用メインカウンタを基準にして、外部で信号が停止されるまでのパイプライン遅延数が通倍クロックTCの8個分となるように、停止信号TSTあるいはRSTを通倍クロックTCの2個分だけ遅延して出力するものである。

【0057】

セクタ37は、遅延回路33Dの出力に基づいて、その出力信号が“H”であれば停止時信号STTを出力し、“L”であれば遅延回路33Cの出力信号を出力するものである。この停止時信号STTは、出力を停止させる信号を停止期間中に、“H”か“L”のどちらで停止させるかを指示するための信号であって、“H”か“L”のどちらかに固定されている。本実施の形態においては、停止時信号STTは、“L”に固定されている。

【0058】

なお、カウンタ回路31、パルス発生回路32、遅延回路33A～33Cの構成は、信号発生回路12Aに備わるカウンタ回路21、パルス発生回路22、遅延回路23A～23Cの構成とそれぞれ同一であるため説明は省略する。

【0059】

次に、上記した構成を有する本実施の形態に係る画像読み取り装置の動作について説明する。CCDセンサ1は、パルス信号PL、転送クロックNTR、リセットパルスNRSによって駆動され、その動作は従来のものと同じであるから説明は省略する。

【0060】

そこで、各種信号を生成するメインカウンタ回路11、信号発生回路12A、および信号発生回路12Bの動作について説明する。まず、メインカウンタ回路11の動作について、図10を用いて説明する。メインカウンタ回路11には、入力クロックENが入力されている。この入力クロックENが分周されて画素クロックPEが生成される。また、画素クロックPEが分周されて参照クロックSCが生成される。さらに、CCDセンサ1の画素単位でパルス信号PL、転送クロック停止信号TST、およびリセットパルス停止信号RSTが生成される。な

お、メインカウンタ出力は画素クロック P E に同期して画像データの画素位置を示し、CCD センサ用メインカウンタ出力はメインカウンタ出力の最下位ビットを省略したものである。

【0061】

そして、パルス信号 P L、転送クロック停止信号 T S T、およびリセットパルス停止信号 R S T は、CCD センサ用メインカウンタ上の予め設定された位置（図 10 では「2」）から 1 CCD 画素分（入力クロック 4 個分）だけ遅延して出力される。ただし、パルス信号 P L は、さらに遅延回路 13 にて 1 CCD 画素分だけ遅延されてシフトパルス S F として出力される。1 CCD 画素分だけ遅延するのは、他の信号とパイプライン遅延数を合わせて同期を取るためである。

【0062】

また、メインカウンタ回路 11 から外部に信号が出力されるまでのパイプライン遅延数は、信号発生回路 12 A、12 B により、どの信号でも 2 CCD 画素分（画素クロック 4 個分＝入力クロック 8 個分）に統一されるようになっている。CCD センサ 1 から出力される出力信号と読み取り画像データとの同期が確実に取れるようにするためである。

【0063】

そこで、信号発生回路 12 A および 12 B の動作について説明する。ここで本実施の形態では、読み取り画像データを 40 MHz で処理するのではなく、駆動周波数を低くした場合、つまり低速機に本実施の形態に係る画像読み取り装置を適用した場合について説明する。具体的には、駆動周波数を 26.67 MHz とし読み取り画像データを処理する場合を考える。この場合には、PLL 回路 14 における逡倍率が「6」に設定される。そうすると、信号発生回路 12 A の動作モードは、パルス幅の設定を $m/12$ 周期相当、位相の設定を $n/12$ 周期相当と表すと、 m 、 n が偶数か奇数かによって、4 種類に分類される。

【0064】

各動作モードに対応する信号発生回路 12 A のタイミングチャートを図 11～図 14 に示す。ここで、図 11 は、パルス幅の設定が $4/12$ 周期相当（ m が偶数）、位相の設定が 0 周期相当（ n が偶数）の場合における信号発生回路 12 A のタ

イミングチャートである。図 1 2 は、パルス幅の設定が $3/12$ 周期相当 (m が奇数)、位相の設定が 0 周期相当 (n が偶数) の場合における信号発生回路 1 2 A のタイミングチャートである。図 1 3 は、パルス幅の設定が $6/12$ 周期相当 (m が偶数)、位相の設定が $3/12$ 周期相当 (n が奇数) の場合における信号発生回路 1 2 A のタイミングチャートである。図 1 4 は、パルス幅の設定が $3/12$ 周期相当 (m が奇数)、位相の設定が $3/12$ 周期相当 (n が奇数) の場合における信号発生回路 1 2 A のタイミングチャートである。

【0065】

まず、図 1 1 に示すパルス幅を $4/12$ 周期相当、位相を 0 周期相当に設定した場合の動作について説明する。これは、駆動周波数が 40MHz のときにパルス幅を $4/8$ 周期相当、位相を 0 周期相当に設定した場合 (図 2 6 参照) に対応する。この場合には、位相が 0 周期相当であるから図 6 の対応表に基づき、ロード値が「0」に設定される。そうすると、カウンタ回路 2 1 からは、カウンタデータ「0」が通倍クロック TC の 1 個分だけ遅延されたものが出力される。また、パルス幅が $4/12$ 周期相当であるから図 7 の対応表により、比較値が「2」に設定される。このため、パルス発生回路 2 2 からは、カウンタ回路 2 1 の出力が比較値「2」より小さいとき (つまり「0」と「1」のとき) に出力信号が“H”にされ、この信号が通倍クロック TC の 2 個分だけ遅延されて出力される。

【0066】

そして、パルス発生回路 2 2 の出力信号は、遅延調整回路 2 6 により「 $2 \times (6 - 4) = 4$ 」個分だけ遅延される。次いで、遅延調整回路 2 6 の出力信号は、遅延回路 2 3 C により通倍クロック TC の 3 個分だけ遅延される。さらに、遅延回路 2 3 C の出力信号は、遅延回路 2 3 A により通倍クロック TC の 2 個分だけ遅延される。一方、位相が 0 周期相当に設定されているから、遅延回路 2 3 B の出力信号は、“L”となっている。そして、遅延回路 2 3 A と 2 3 B との出力信号に基づき OR ゲート 2 4 によって、信号発生回路 1 2 A からの最終的な信号が生成される。この最終的な信号出力は、設定通りにパルス幅が $4/12$ 周期相当、位相が 0 周期相当になっている。このパルス幅と位相は、駆動周波数を 40MHz としパルス幅を $4/8$ 周期相当、位相を 0 周期相当に設定した場合 (図 2 6 参照)

と実時間比較で等しい。6 通倍した通倍クロック TC の 1/12 周期と入力クロック EN の 1/8 周期とが実時間で等しいからである。このように駆動周波数を低くしても (40 MHz → 26.67 MHz)、信号発生回路 12 A で生成される信号のパルス幅と位相の十分な調整精度が確保される。

【 0 0 6 7 】

また、信号発生回路 12 A で生成された信号は、2 CCD 画素分 (入力クロック 8 個分) だけ遅延されて出力されている。このため、信号発生回路 12 A で生成される信号と、入力クロック EN を基準として生成され、2 CCD 画素分 (入力クロック 8 個分) だけ遅延されて出力されるシフトパルス SF との間で同期が取られている。

【 0 0 6 8 】

次に、図 12 に示すパルス幅を 3/12 周期相当、位相を 0 周期相当に設定した場合の動作について説明する。これは、駆動周波数が 40 MHz のときにパルス幅を 3/8 周期相当、位相を 0 周期相当に設定した場合 (図 27 参照) に対応する。この場合には、位相が 0 周期相当であるから図 6 の対応表に基づき、ロード値が「0」に設定される。そうすると、カウンタ回路 21 からは、カウンタデータ「0」が通倍クロック TC の 1 個分だけ遅延されたものが出力される。また、パルス幅が 3/12 周期相当であるから図 7 の対応表により、比較値が「1」に設定される。このため、パルス発生回路 22 からは、カウンタ回路 21 の出力が比較値「1」より小さいとき (つまり「0」のとき) に出力信号が“H”にされ、この信号が通倍クロック TC の 2 個分だけ遅延されて出力される。

【 0 0 6 9 】

そして、パルス発生回路 22 の出力信号は、遅延調整回路 26 により「 $2 \times (6 - 4) = 4$ 」個分だけ遅延される。次いで、遅延調整回路 26 の出力信号は、遅延回路 23 C により通倍クロック TC の 3 個分だけ遅延される。さらに、遅延回路 23 C の出力信号は、遅延回路 23 A により通倍クロック TC の 2 個分だけ遅延される。一方、位相が 0 周期相当に設定されているから、遅延回路 23 B の出力信号は、“L”となっている。そして、遅延回路 23 A と 23 B との出力信号に基づき OR ゲート 24 によって、信号発生回路 12 A からの最終的な信号が

生成される。この最終的な信号出力は、設定通りにパルス幅が3/12周期相当、位相が0周期相当になっている。このパルス幅と位相は、駆動周波数を40MHzとしパルス幅を3/8周期相当、位相を0周期相当に設定した場合（図27参照）と実時間比較で等しい。6通倍した通倍クロックTCの1/12周期と入力クロックENの1/8周期とが実時間で等しいからである。このように駆動周波数を低くしても（40MHz→26.67MHz）、信号発生回路12Aで生成される信号のパルス幅と位相の十分な調整精度が確保される。

【0070】

また、信号発生回路12Aで生成された信号は、2CCD画素分（入力クロック8個分）だけ遅延されて出力されている。このため、信号発生回路12Aで生成される信号と、入力クロックENを基準として生成され、2CCD画素分（入力クロック8個分）だけ遅延されて出力されるシフトパルスSFとの間で同期が取られている。

【0071】

次に、図13に示すパルス幅を6/12周期相当、位相を3/12周期相当に設定した場合の動作について説明する。これは、駆動周波数が40MHzのときにパルス幅を6/8周期相当、位相を3/8周期相当に設定した場合（図28参照）に対応する。この場合には、位相が3/8周期相当であるから図6の対応表に基づき、ロード値が「5」に設定される。そうすると、カウンタ回路21からは、カウンタデータ「5」が通倍クロックTCの1個分だけ遅延されたものが出力される。また、パルス幅が6/12周期相当であるから図7の対応表により、比較値が「3」に設定される。このため、パルス発生回路22からは、カウンタ回路21の出力が比較値「3」より小さいとき（つまり「0」「1」「2」のとき）に出力信号が“H”にされ、この信号が通倍クロックTCの2個分だけ遅延されて出力される。

【0072】

そして、パルス発生回路22の出力信号は、遅延調整回路26により「 $2 \times (6 - 4) = 4$ 」個分だけ遅延される。次いで、遅延調整回路26の出力信号は、遅延回路23Cにより通倍クロックTCの3個分だけ遅延される。この遅延回路23Cの出力は、遅延回路23Aと23Bにそれぞれ入力される。ここで、位相

が3/12周期相当に、パルス幅が6/12周期相当に設定されているから、遅延回路23Aからの出力信号が“L”とされる。また、遅延回路23Cからの出力信号は、入力信号を逡倍クロックTCの2.5個分だけ遅延したものとなる。そして、遅延回路23Aと23Bとの出力信号に基づきORゲート24によって、信号発生回路12Aからの最終的な信号が生成される。この最終的な信号出力は、設定通りにパルス幅が6/12周期相当、位相が3/12周期相当になっている。このパルス幅と位相は、駆動周波数を40MHzとしパルス幅を6/8周期相当、位相を3/8周期相当に設定した場合（図28参照）と、実時間比較で等しい。6逡倍した逡倍クロックTCの1/12周期と入力クロックENの1/8周期とが実時間で等しいからである。このように駆動周波数を低くしても（40MHz→26.67MHz）、信号発生回路12Aで生成される信号のパルス幅と位相の十分な調整精度が確保される。

【0073】

また、信号発生回路12Aで生成された信号は、2CCD画素分（入力クロック8個分）だけ遅延されて出力されている。このため、信号発生回路12Aで生成される信号と、入力クロックENを基準として生成され、2CCD画素分（入力クロック8個分）だけ遅延されて出力されるシフトパルスSFとの間で同期が取られている。

【0074】

最後に、図14に示すパルス幅を3/12周期相当、位相を3/12周期相当に設定した場合の動作について説明する。これは、駆動周波数が40MHzのときにパルス幅を3/8周期相当、位相を3/8周期相当に設定した場合（図29参照）に対応する。この場合には、位相が3/12周期相当であるから図6の対応表に基づき、ロード値が「5」に設定される。そうすると、カウンタ回路21からは、カウンタデータ「5」が逡倍クロックTCの1個分だけ遅延されたものが出力される。また、パルス幅が3/12周期相当であるから図7の対応表により、比較値が「1」に設定される。このため、パルス発生回路22からは、カウンタ回路21の出力が比較値「1」より小さいとき（つまり「0」のとき）に出力信号が“H”にされ、この信号が逡倍クロックTCの2個分だけ遅延されて出力される。

【 0 0 7 5 】

そして、パルス発生回路 2 2 の出力信号は、遅延調整回路 2 6 により「 $2 \times (6 - 4) = 4$ 」個分だけ遅延される。次いで、遅延調整回路 2 6 の出力信号は、遅延回路 2 3 C により通倍クロック T C の 3 個分だけ遅延される。この遅延回路 2 3 C の出力は、遅延回路 2 3 A と 2 3 B にそれぞれ入力される。

【 0 0 7 6 】

ここで、位相が $3/12$ 周期相当に、パルス幅が $6/12$ 周期相当に設定されているから、遅延回路 2 3 A からの出力信号は、入力信号を通倍クロック T C の 3 個分だけ遅延したものとなる。また、遅延回路 2 3 C からの出力信号は、入力信号を通倍クロック T C の 2.5 個分だけ遅延したものとなる。そして、遅延回路 2 3 A と 2 3 B との出力信号に基づき O R ゲート 2 4 によって、信号発生回路 1 2 A からの最終的な信号が生成される。この最終的な信号出力は、設定通りにパルス幅が $3/12$ 周期相当、位相が $3/12$ 周期相当になっている。このパルス幅と位相は、駆動周波数を 40MHz としパルス幅を $3/8$ 周期相当、位相を $3/8$ 周期相当に設定した場合（図 2 9 参照）と、実時間比較で等しい。6 通倍した通倍クロック T C の $1/12$ 周期と入力クロック E N の $1/8$ 周期とが実時間で等しいからである。このように駆動周波数を低くしても（ $40\text{MHz} \rightarrow 26.67\text{MHz}$ ）、信号発生回路 1 2 A で生成される信号のパルス幅と位相の十分な調整精度が確保される。

【 0 0 7 7 】

また、信号発生回路 1 2 A で生成された信号は、2 C C D 画素分（入力クロック 8 個分）だけ遅延されて出力されている。このため、信号発生回路 1 2 A で生成される信号と、入力クロック E N を基準として生成され、2 C C D 画素分（入力クロック 8 個分）だけ遅延されて出力されるシフトパルス S F との間で同期が取られている。

【 0 0 7 8 】

続いて、信号発生回路 1 2 B の動作について説明する。信号発生回路 1 2 B の動作モードも、信号発生回路 1 2 A と同様に、パルス幅の設定を $m/12$ 周期相当、位相の設定を $n/12$ 周期相当と表すと、 m 、 n が偶数か奇数かによって、4 種類に分類される。そこで、パルス幅の設定が $3/12$ 周期相当（ m が奇数）、位相の設定

が3/12周期相当（ n が奇数）の場合を一例として、そのとき動作について図15を用いて詳細に説明する。

【0079】

まず、位相が3/12周期相当であるから図6の対応表に基づき、ロード値が「5」に設定される。そうすると、カウンタ回路31からは、カウンタデータ「5」が通倍クロックTCの1個分だけ遅延されたものが出力される。また、パルス幅が3/12周期相当であるから図7の対応表により、比較値が「1」に設定される。このため、パルス発生回路32からは、カウンタ回路31の出力が比較値「1」より小さいとき（つまり「0」のとき）に出力信号が“H”にされ、この信号が通倍クロックTCの2個分だけ遅延されて出力される。

【0080】

そして、パルス発生回路32の出力信号は、遅延調整回路26により、通倍クロックTCの「 $2 \times (6 - 4) = 4$ 」個分だけ遅延される。次いで、遅延調整回路26の出力信号は、遅延回路33Cにより通倍クロックTCの3個分だけ遅延される。この遅延回路33Cの出力は、セレクタ37に入力される。一方、停止信号TSTあるいはRSTが、遅延調整回路36により、通倍クロックTCの「 $6 - 4 = 2$ 」個分だけ遅延される。さらに、その信号は遅延回路33Dにより、通倍クロックTCの2個分だけ遅延される。つまり、停止信号TSTあるいはRSTは、通倍クロックTCの4個分だけ遅延されることになる。そして、その遅延された信号TSTあるいはRSTがセレクタ37に入力される。そうすると、セレクタ37により、遅延回路33Dの出力信号が“H”であれば停止時信号STTを出力し、“L”であれば遅延回路33Cの出力信号が出力される。

【0081】

セレクタ37の出力信号は、遅延回路33Aに入力される。ここで、パルス幅と位相とを表す「 $m/12$ 」, 「 $n/12$ 」における m , n がともに奇数であるから、遅延回路33Aにより、セレクタ37の出力信号は通倍クロックTCの3個分だけ遅延される。また、セレクタ37の出力信号は、遅延回路33Bにも入力される。ここで、位相を表す「 $n/12$ 」における n が奇数であるから、遅延回路33Bにより、セレクタ37の出力信号は通倍クロックTCの2.5個分だけ遅延される。

。そして、遅延回路 3 3 A と 3 3 B とからの出力信号に基づき O R ゲート 2 4 によって、信号発生回路 1 2 B からの最終的な信号が生成される。この最終的な信号出力は、設定通りにパルス幅が 3/12 周期相当、位相が 3/12 周期相当になっている。そしてパルス幅と位相は、駆動周波数を 4 0 M H z としパルス幅を 3/8 周期相当、位相を 3/8 周期相当に設定した場合（図 3 0 参照）と、実時間比較で等しい。6 通倍した通倍クロック T C の 1/12 周期と入力クロック E N の 1/8 周期とが実時間で等しいからである。このように駆動周波数を低くしても（4 0 M H z → 2 6 . 6 7 M H z）、信号発生回路 1 2 B で生成される信号のパルス幅と位相の十分な調整精度が確保される。

【 0 0 8 2 】

また、信号発生回路 1 2 B で生成された信号は、2 C C D 画素分（入力クロック 8 個分）だけ遅延されて出力されている。このため、信号発生回路 1 2 B で生成される信号と、入力クロック E N を基準として生成され、2 C C D 画素分（入力クロック 8 個分）だけ遅延されて出力されるシフトパルス S F との間で同期が取られている。

【 0 0 8 3 】

さらに、転送クロック停止信号 T S T あるいはリセットパルス停止信号 R S T が外部で有効になるまでのパイプライン遅延数も、遅延調整回路 3 6 によって駆動周波数に関わらず常に 2 C C D 画素分に保たれる。これにより、転送クロック停止信号 T S T あるいはリセットパルス停止信号 R S T も、シフトパルス S F と同期が取られる。従って、信号発生回路 1 2 B で生成される転送クロック N T R あるいはリセットパルス N R S は、転送クロック停止信号 T S T あるいはリセットパルス停止信号 R S T によって設定された期間内において確実に停止される。

【 0 0 8 4 】

以上、詳細に説明したように本実施の形態に係る画像読み取り装置によれば、P L L 回路 1 4 における通倍率に応じて、ロード信号 N R D の生成周期、カウンタ回路 2 1 , 3 1 におけるロード値、およびパルス発生回路 2 2 , 3 2 における比較値が変更される。これにより、信号発生回路 1 2 A , 1 2 B で生成される信号におけるパルス幅と位相の調整精度を、P L L 回路 1 4 における通倍率を大き

くすることによって高めることができる。このため、駆動周波数を低くした場合であっても、信号発生回路 1 2 A, 1 2 B で生成される信号のパルス幅と位相の十分な調整精度が確保される。

【 0 0 8 5 】

また、遅延調整回路 2 6, 3 6 により、信号発生回路 1 2 A, 1 2 B で生成される信号は、駆動周波数に関わらず常に 2 C C D 画素分（入力クロック 8 個分）だけ遅延されて出力される。これにより、信号発生回路 1 2 A, 1 2 B で生成される信号とシフトパルス S F との間で、駆動周波数に変更されても確実に同期が取られる。

【 0 0 8 6 】

さらに、転送クロック停止信号 T S T あるいはリセットパルス停止信号 R S T が外部で有効になるまでのパイプライン遅延数も、遅延調整回路 3 6 によって駆動周波数に関わらず常に 2 C C D 画素分に保たれる。これにより、転送クロック停止信号 T S T あるいはリセットパルス停止信号 R S T も、シフトパルス S F と同期が取られる。従って、信号発生回路 1 2 B で生成される転送クロック N T R あるいはリセットパルス N R S は、転送クロック停止信号 T S T あるいはリセットパルス停止信号 R S T によって確実に停止される。

【 0 0 8 7 】

なお、上記した実施の形態は単なる例示にすぎず、本発明を何ら限定するものではなく、その要旨を逸脱しない範囲内で種々の改良、変形が可能であることはもちろんである。例えば、上記実施の形態では、o d d, e v e n 同時並列出力型の C C D を用いたが、これ以外の C C D を用いることもできる。また、上記した実施の形態において例示した具体的な数値は、単なる例示にすぎないことは言うまでもない。

【 0 0 8 8 】

【発明の効果】

以上説明した通り本発明によれば、光電変換手段の駆動周波数に関わりなく、任意のパルス幅と位相とを有する制御信号を生成することができ、パルス幅と位相との十分な調整精度を常に確保することができる画像読み取り装置が提供され

ている。

【図面の簡単な説明】

【図 1】

本実施の形態に係る画像読み取り装置の概略構成を示すブロック図である。

【図 2】

図 1 に示すタイミング発生回路の構成を示すブロック図である。

【図 3】

図 2 に示す信号発生回路 1 2 A の構成を示すブロック図である。

【図 4】

図 2 に示す信号発生回路 1 2 A, 1 2 B で生成される信号の位相とパルス幅の定義について説明する説明図である。

【図 5】

図 2 に示すロード信号生成回路の構成を示すブロック図である。

【図 6】

位相とロード値との関係を説明する説明図である。

【図 7】

パルス幅と比較値との関係を説明する説明図である。

【図 8】

図 3 に示す遅延調整回路の構成を示すブロック図である。

【図 9】

図 2 に示す信号発生回路 1 2 B の構成を示すブロック図である。

【図 1 0】

図 2 に示すメインカウンタ回路のタイミングチャート図である。

【図 1 1】

図 3 に示す信号発生回路 1 2 A のタイミングチャート図である。

【図 1 2】

同じく、図 3 に示す信号発生回路 1 2 A のタイミングチャート図である。

【図 1 3】

同じく、図 3 に示す信号発生回路 1 2 A のタイミングチャート図である。

【図 14】

同じく、図 3 に示す信号発生回路 12A のタイミングチャート図である。

【図 15】

図 9 に示す信号発生回路 12B のタイミングチャート図である。

【図 16】

従来の画像読み取り装置の概略構成を示すブロック図である。

【図 17】

図 16 に示すタイミング発生回路の構成を示すブロック図である。

【図 18】

図 17 に示す信号発生回路 112A の構成を示すブロック図である。

【図 19】

図 17 に示す信号発生回路 112A, 112B で生成される信号の位相とパルス幅の定義について説明する説明図である。

【図 20】

位相とロード値との関係を説明する説明図である。

【図 21】

パルス幅と比較値との関係を説明する説明図である。

【図 22】

図 17 に示す信号発生回路 112B の構成を示すブロック図である。

【図 23】

CCD センサを駆動する際の各種信号の波形（1 ライン分）を示すタイミングチャート図である。

【図 24】

従来の画像読み取り装置における各種信号の波形を示すタイミングチャート図である。

【図 25】

図 17 に示すメインカウンタ回路のタイミングチャート図である。

【図 26】

図 18 に示す信号発生回路 112A のタイミングチャート図である。

【図 2 7】

同じく、図 1 8 に示す信号発生回路 1 1 2 A のタイミングチャート図である。

【図 2 8】

同じく、図 1 8 に示す信号発生回路 1 1 2 A のタイミングチャート図である。

【図 2 9】

同じく、図 1 8 に示す信号発生回路 1 1 2 A のタイミングチャート図である。

【図 3 0】

図 2 2 に示す信号発生回路 1 1 2 B のタイミングチャート図である。

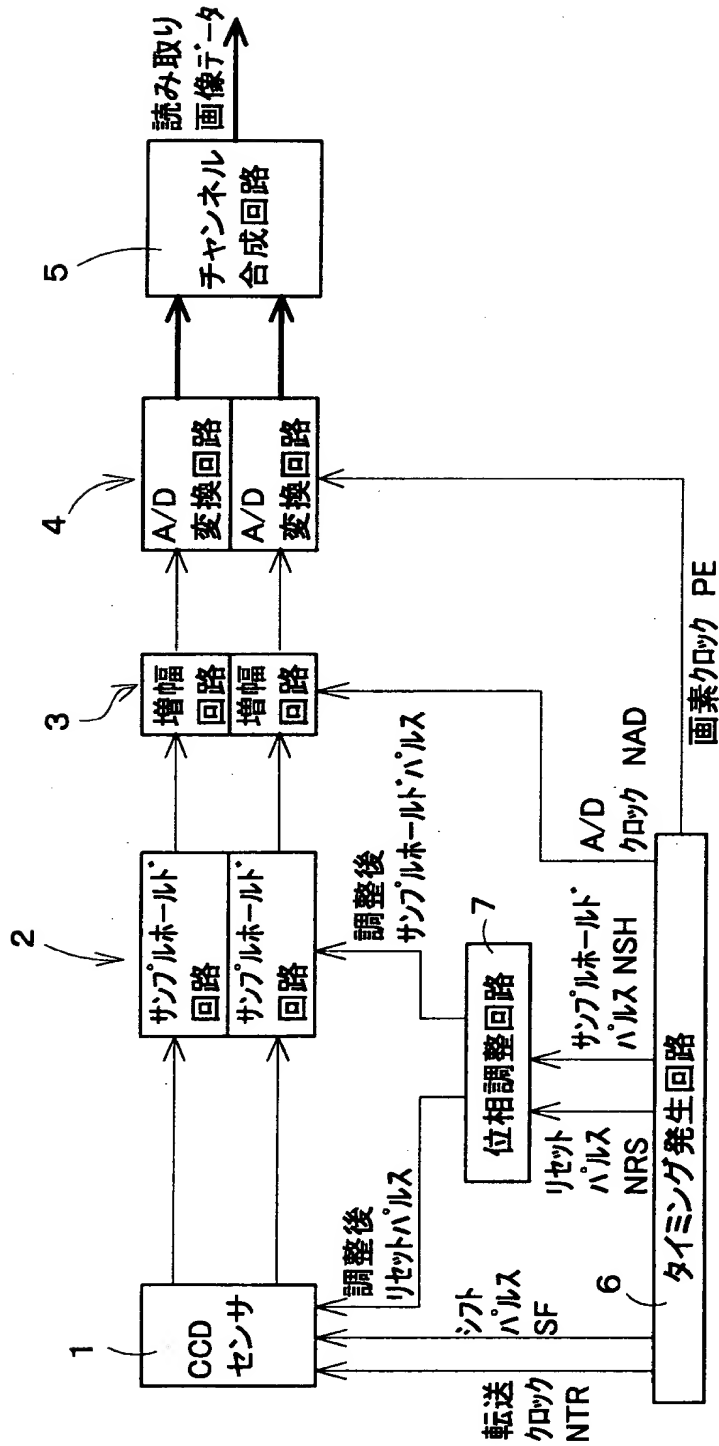
【符号の説明】

- 1 C C D センサ
- 1 1 メインカウンタ回路
- 1 2 A, 1 2 B 信号発生回路
- 1 4 P L L 回路
- 1 5 ロード信号生成回路
- 2 6, 3 6 遅延調整回路

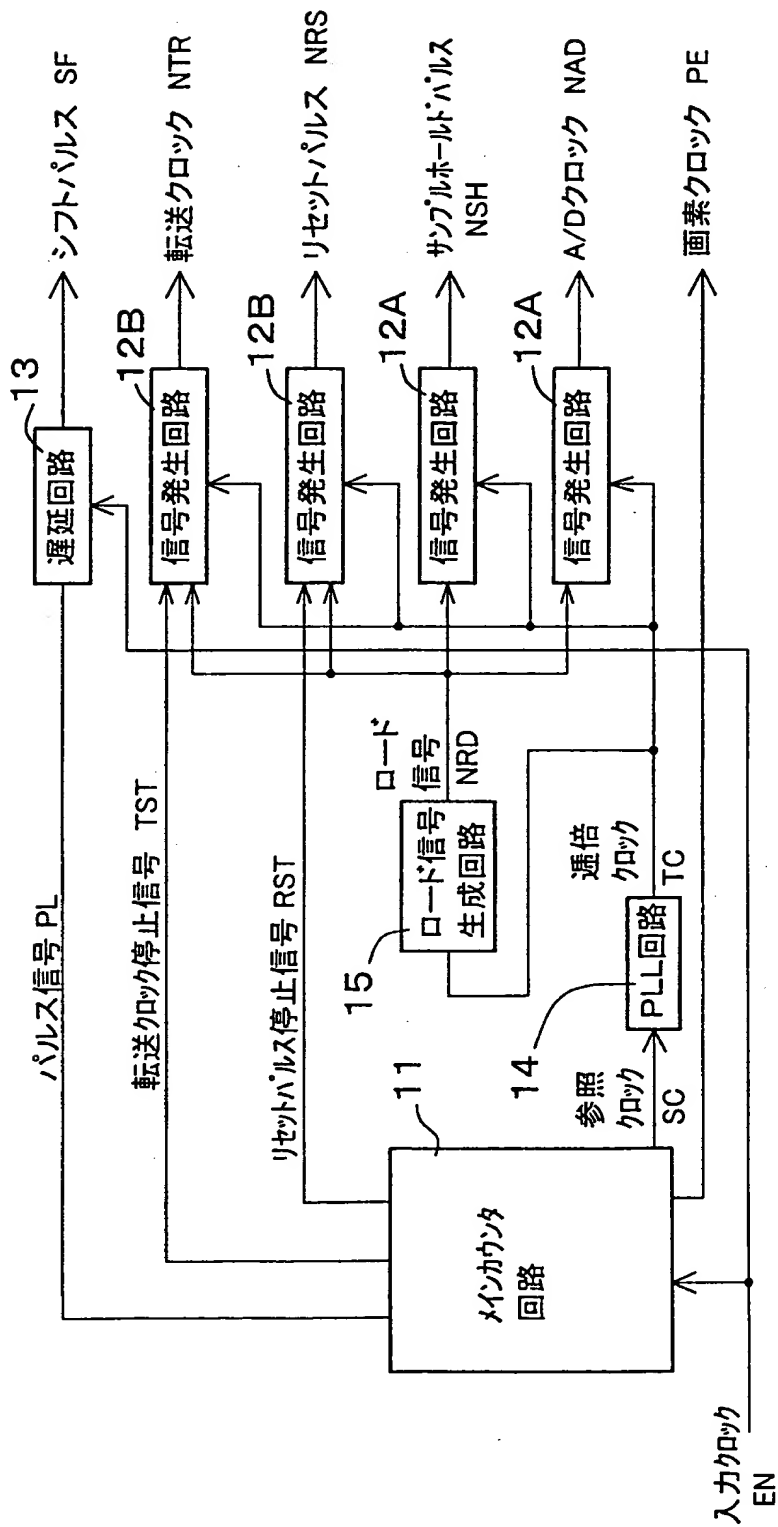
【書類名】

図面

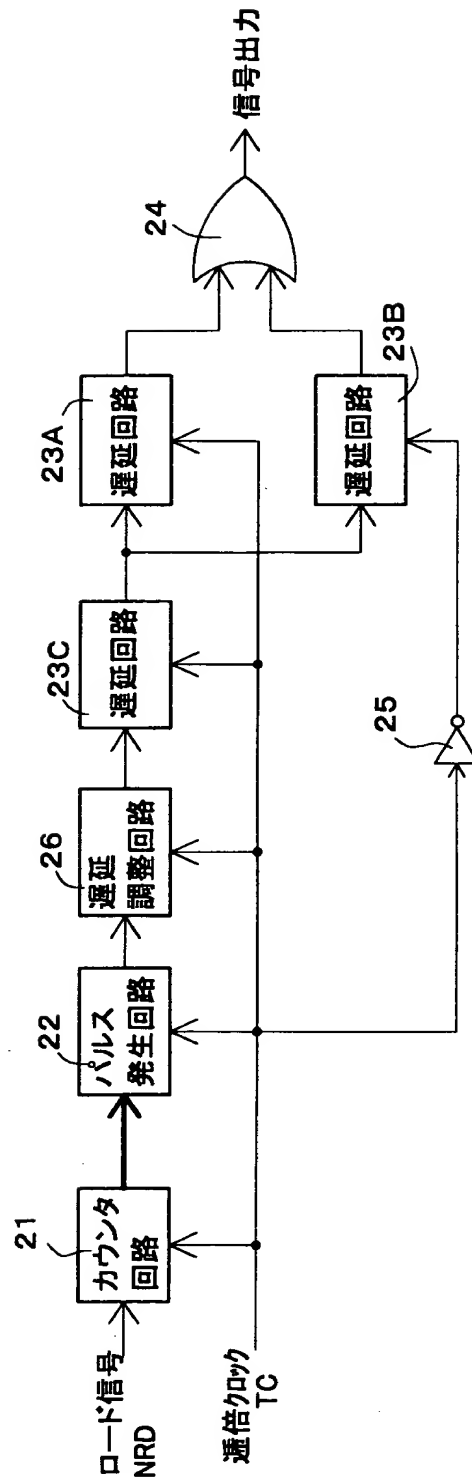
【図 1】



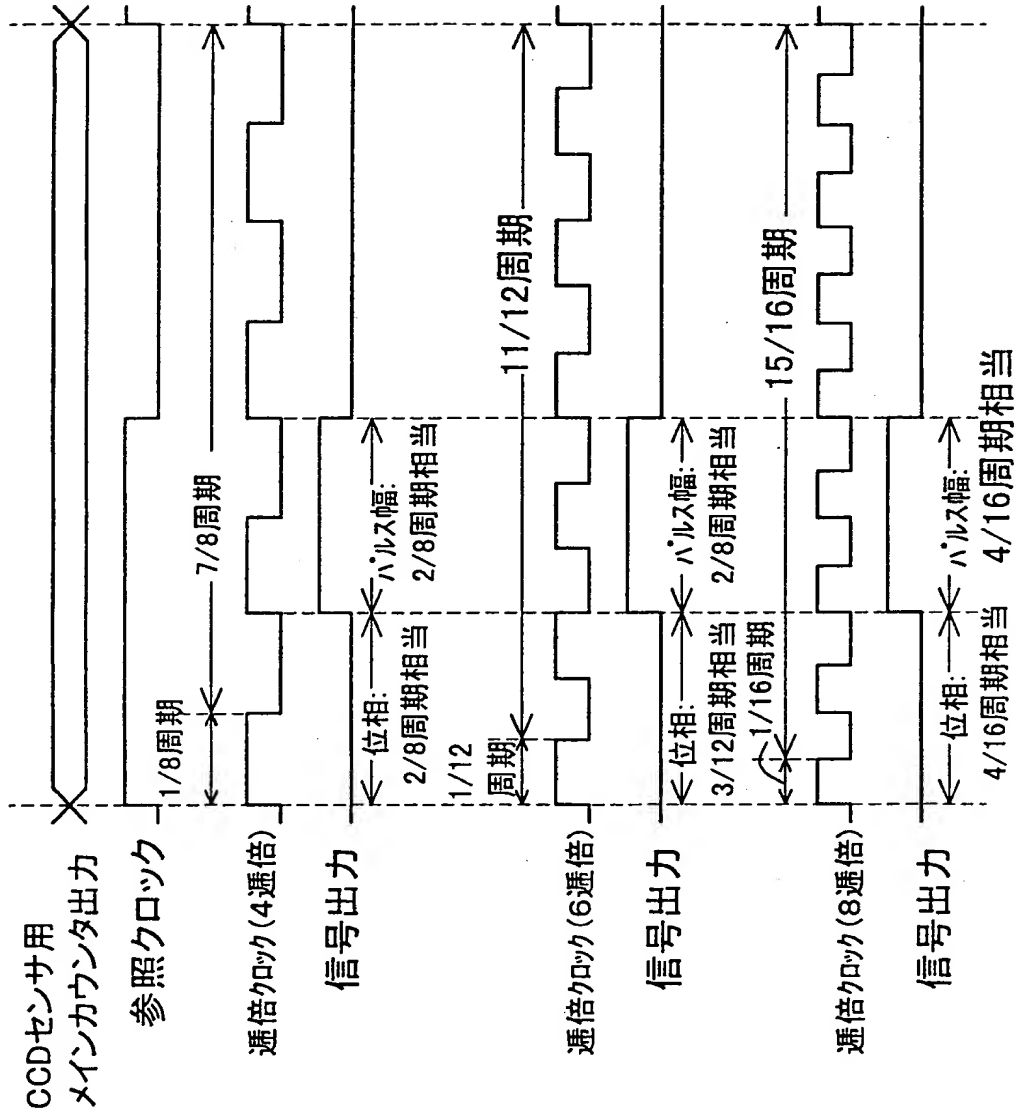
【図 2】



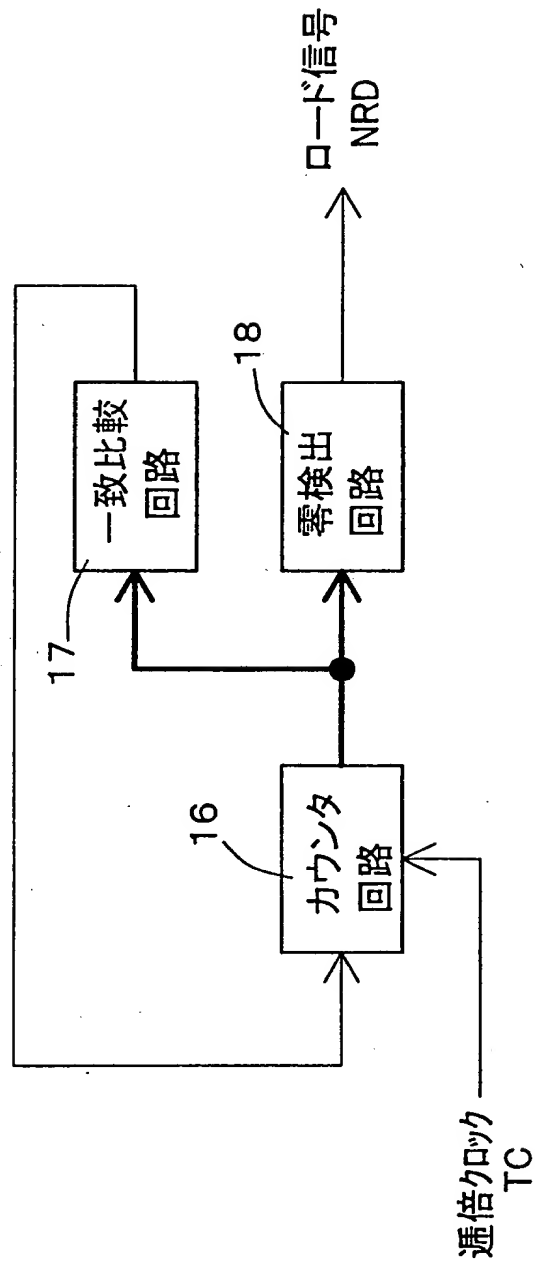
【図 3】



【図 4】



【図 5】



【図 6】

位相設定とロード値設定の関係

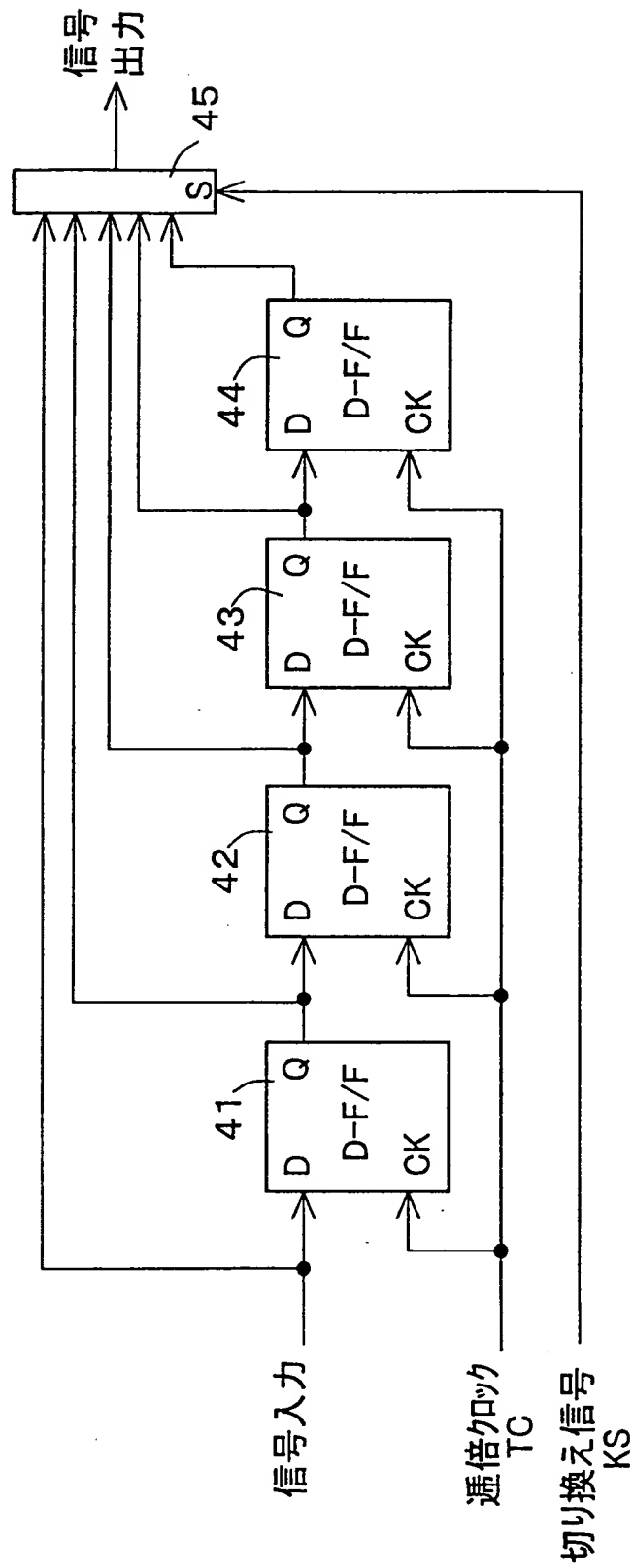
位 相	ロード値
0/8～1/8周期相当 0/12～1/12周期相当 0/16～1/16周期相当	0
2/16～3/16周期相当	7
4/16～5/16周期相当	6
2/12～3/12周期相当 6/16～7/16周期相当	5
4/12～5/12周期相当 8/16～9/16周期相当	4
2/8～3/8周期相当 6/12～7/12周期相当 10/16～11/16周期相当	3
4/8～5/8周期相当 8/12～9/12周期相当 12/16～13/16周期相当	2
6/8～7/8周期相当 10/12～11/12周期相当 14/16～15/16周期相当	1

【図 7】

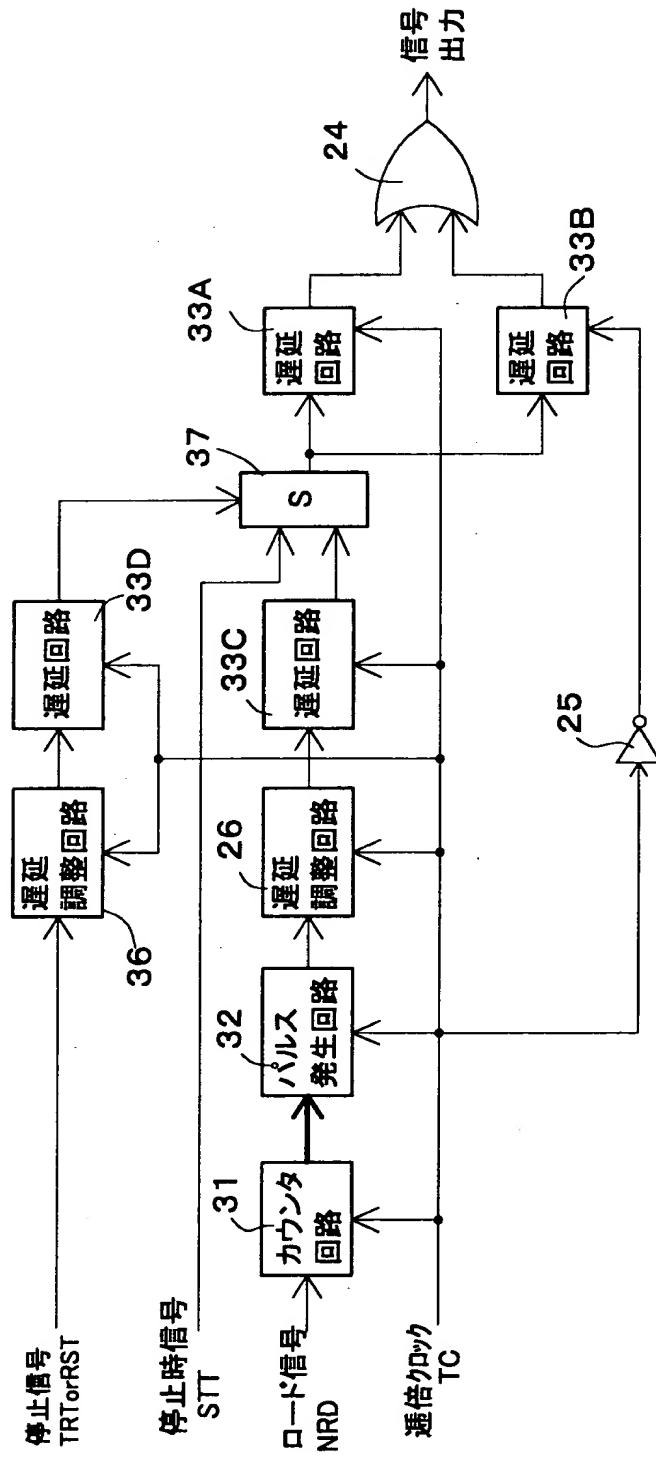
パルス幅設定と比較値設定の関係

パルス幅	比較値
2/8～3/8周期相当 2/12～3/12周期相当 2/16～3/16周期相当	1
4/8～5/8周期相当 4/12～5/12周期相当 4/16～5/16周期相当	2
6/8～7/8周期相当 6/12～7/12周期相当 6/16～7/16周期相当	3
8/12～9/12周期相当 8/16～9/16周期相当	4
10/12～11/12周期相当 10/16～11/16周期相当	5
12/16～13/16周期相当	6
12/16～15/16周期相当	7

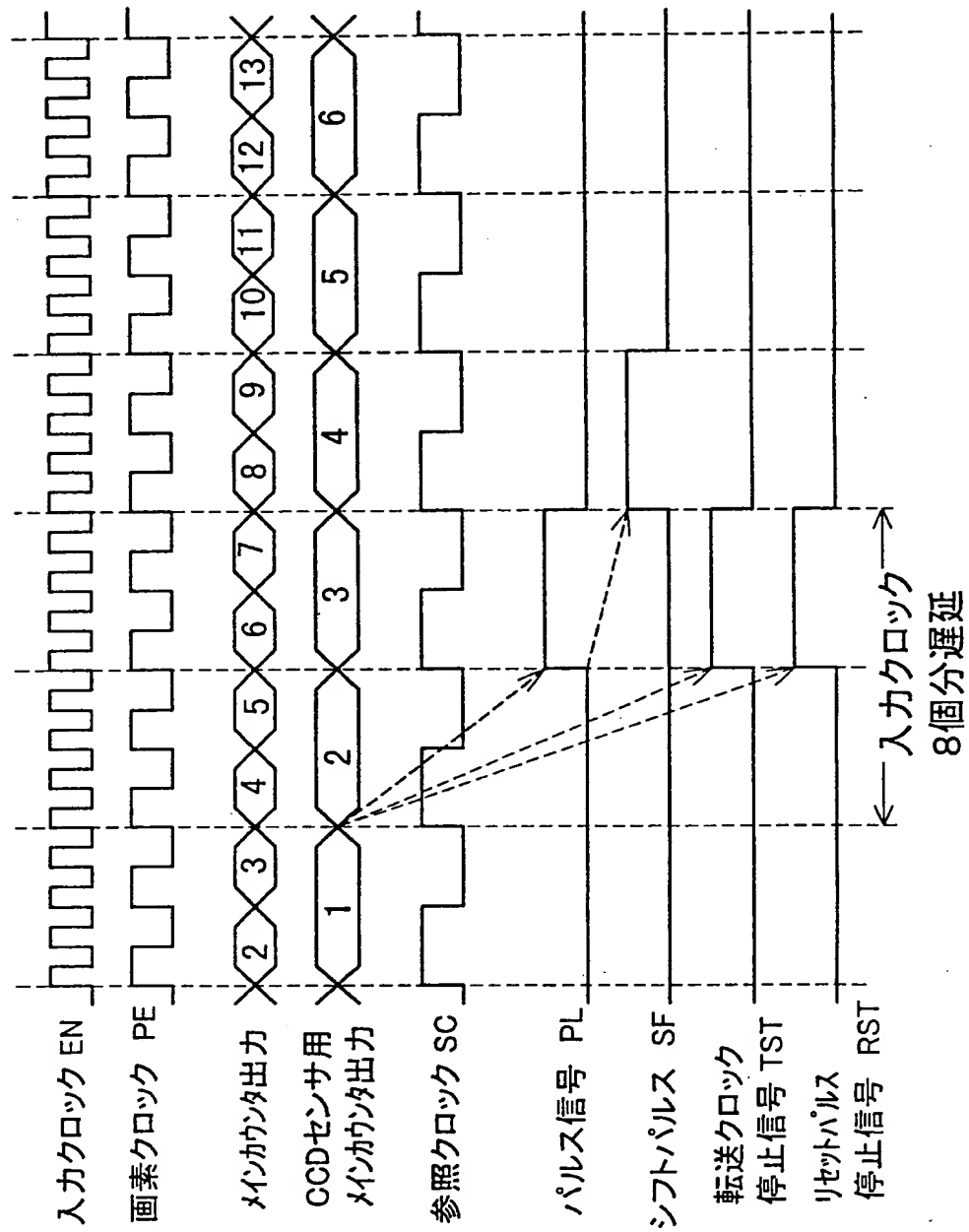
【図 8】



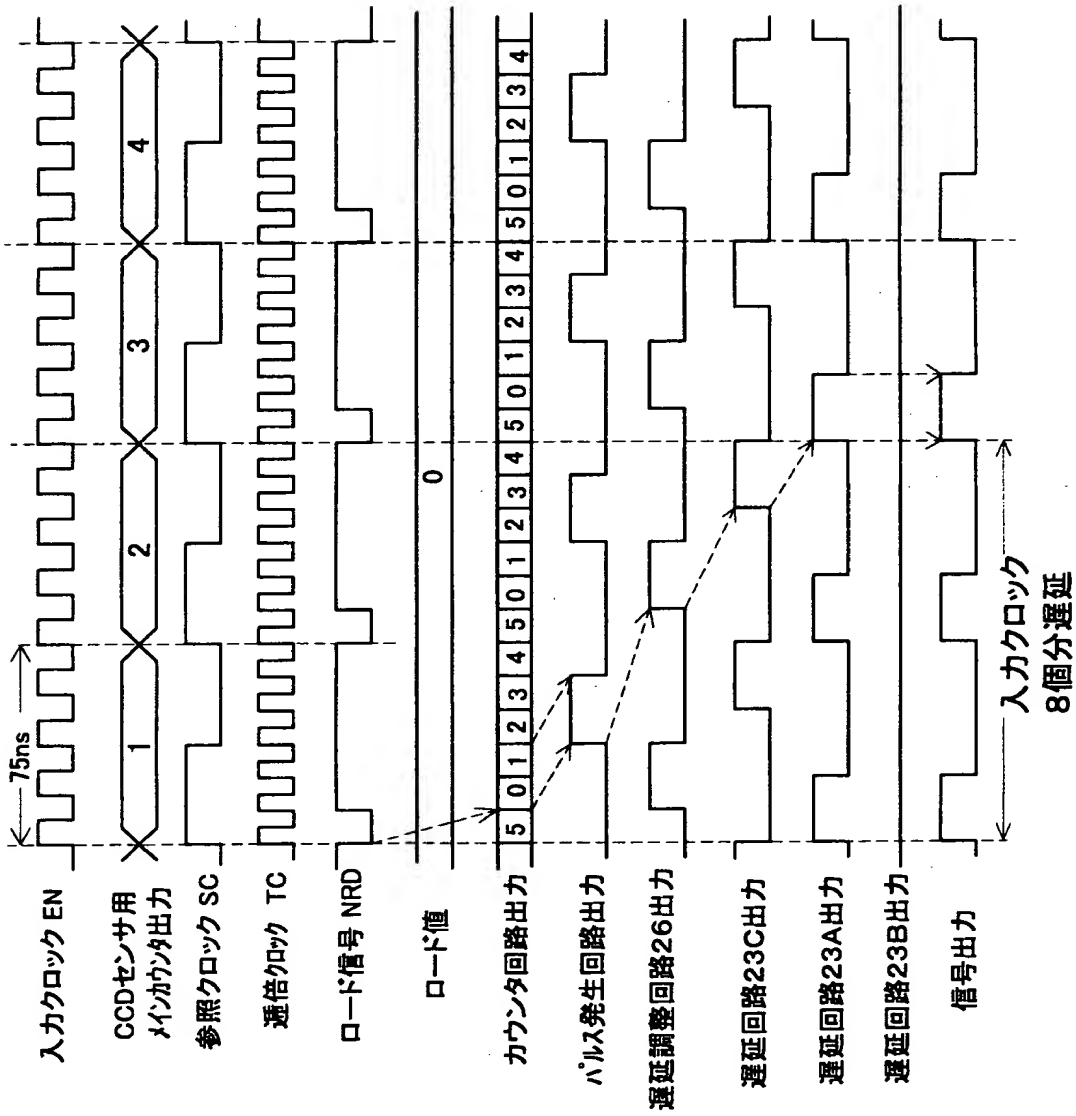
【図 9】



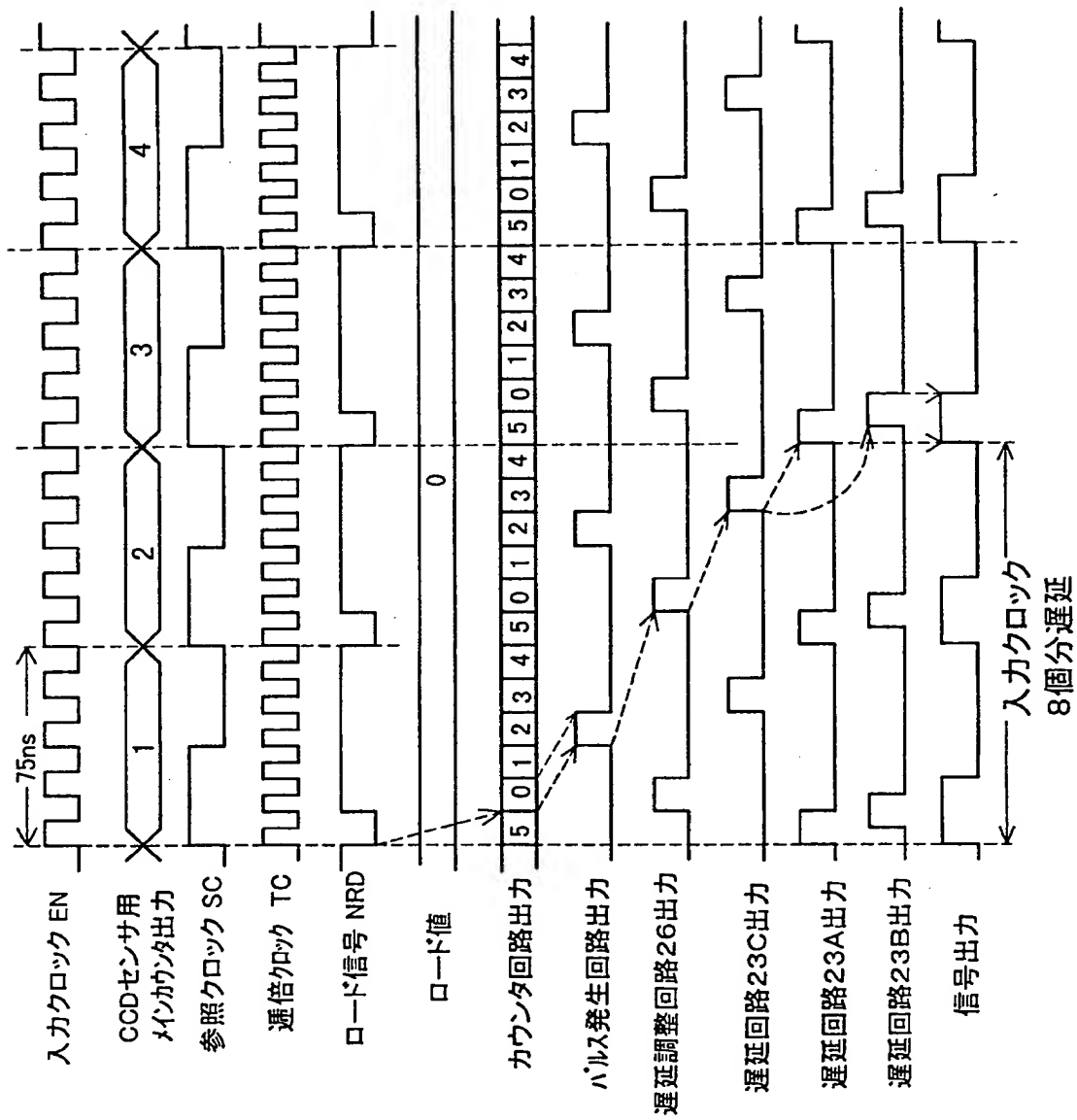
【図10】



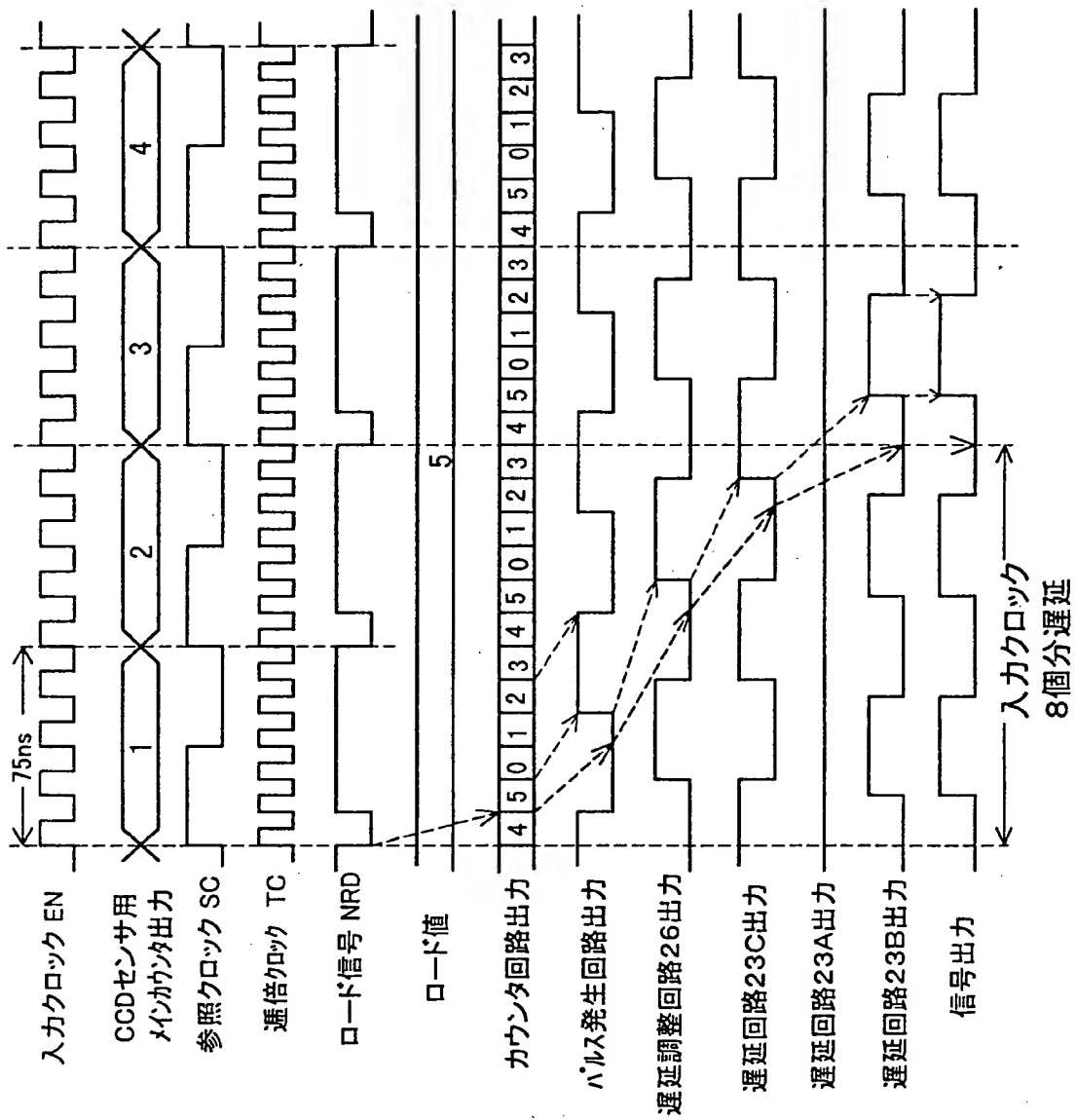
【図 11】



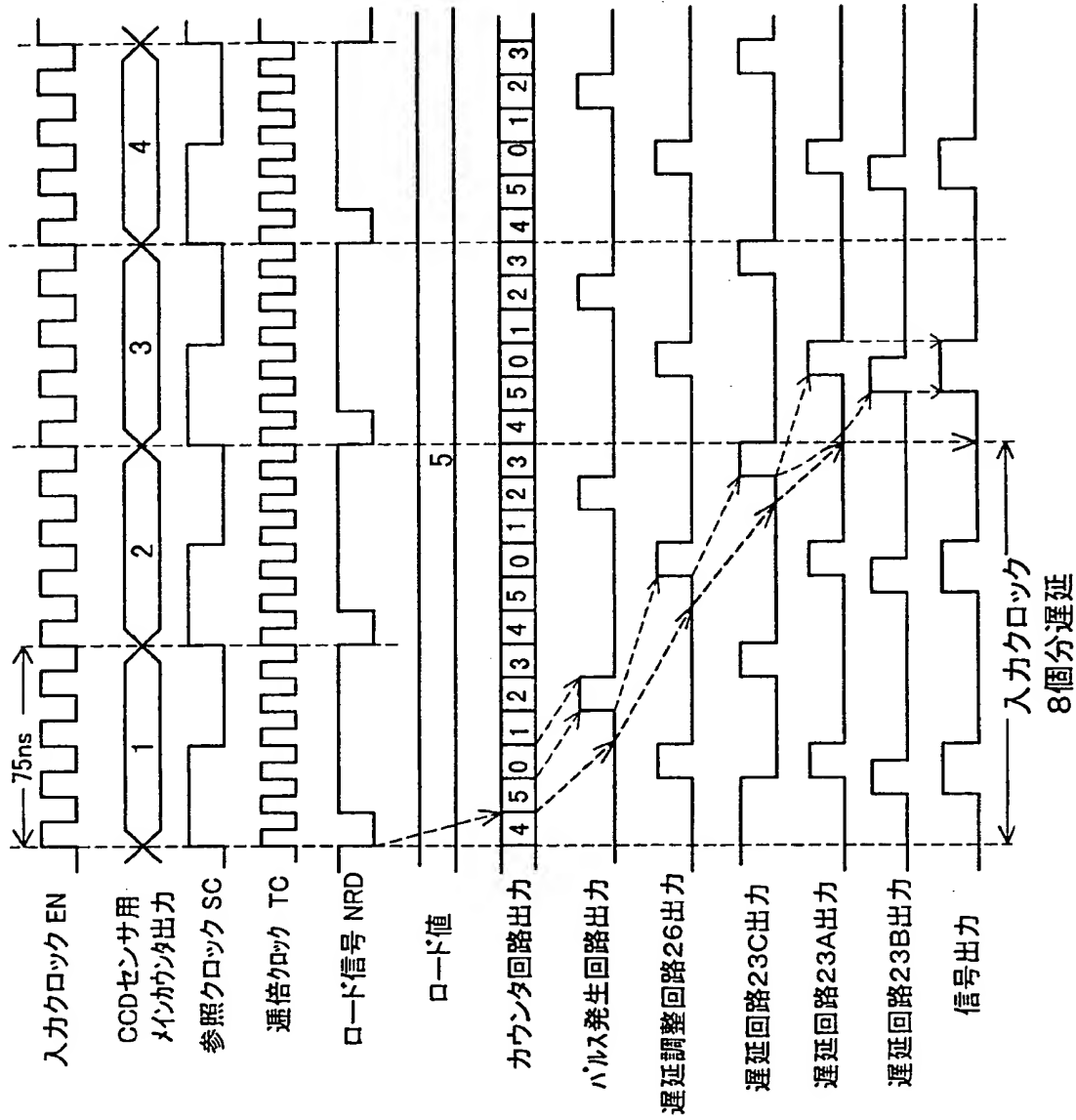
【図 1 2】



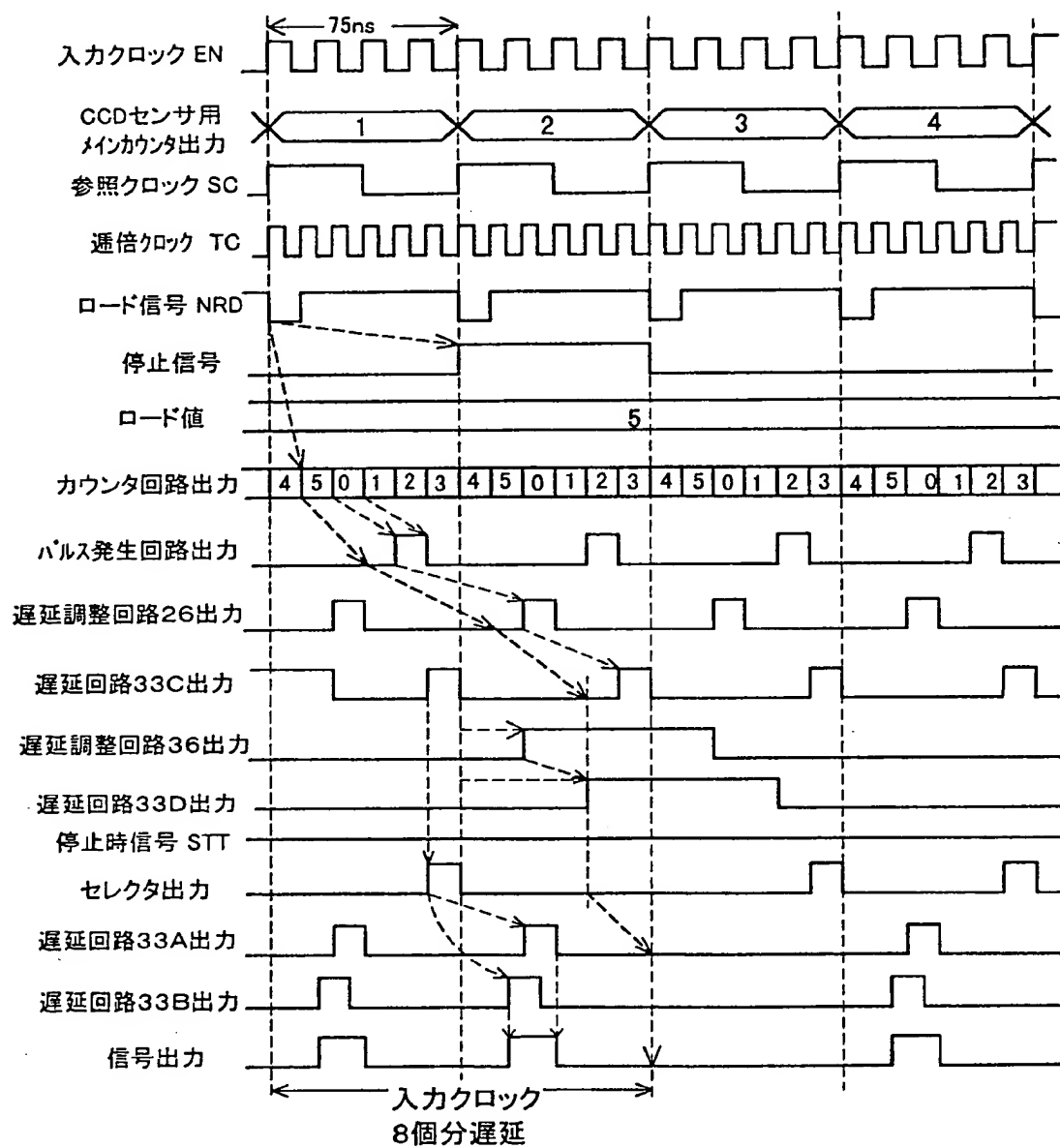
【図 13】



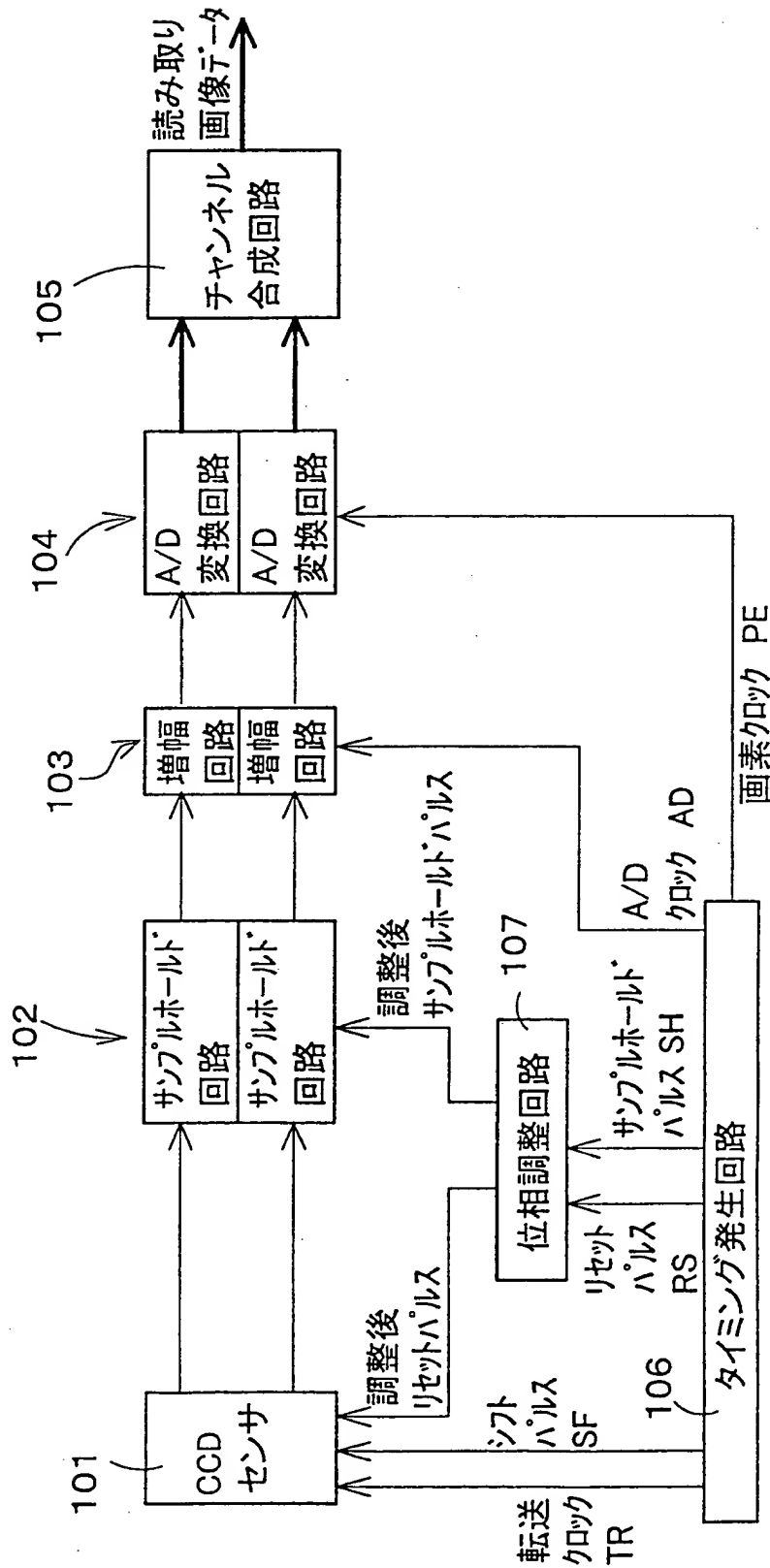
【図 1 4】



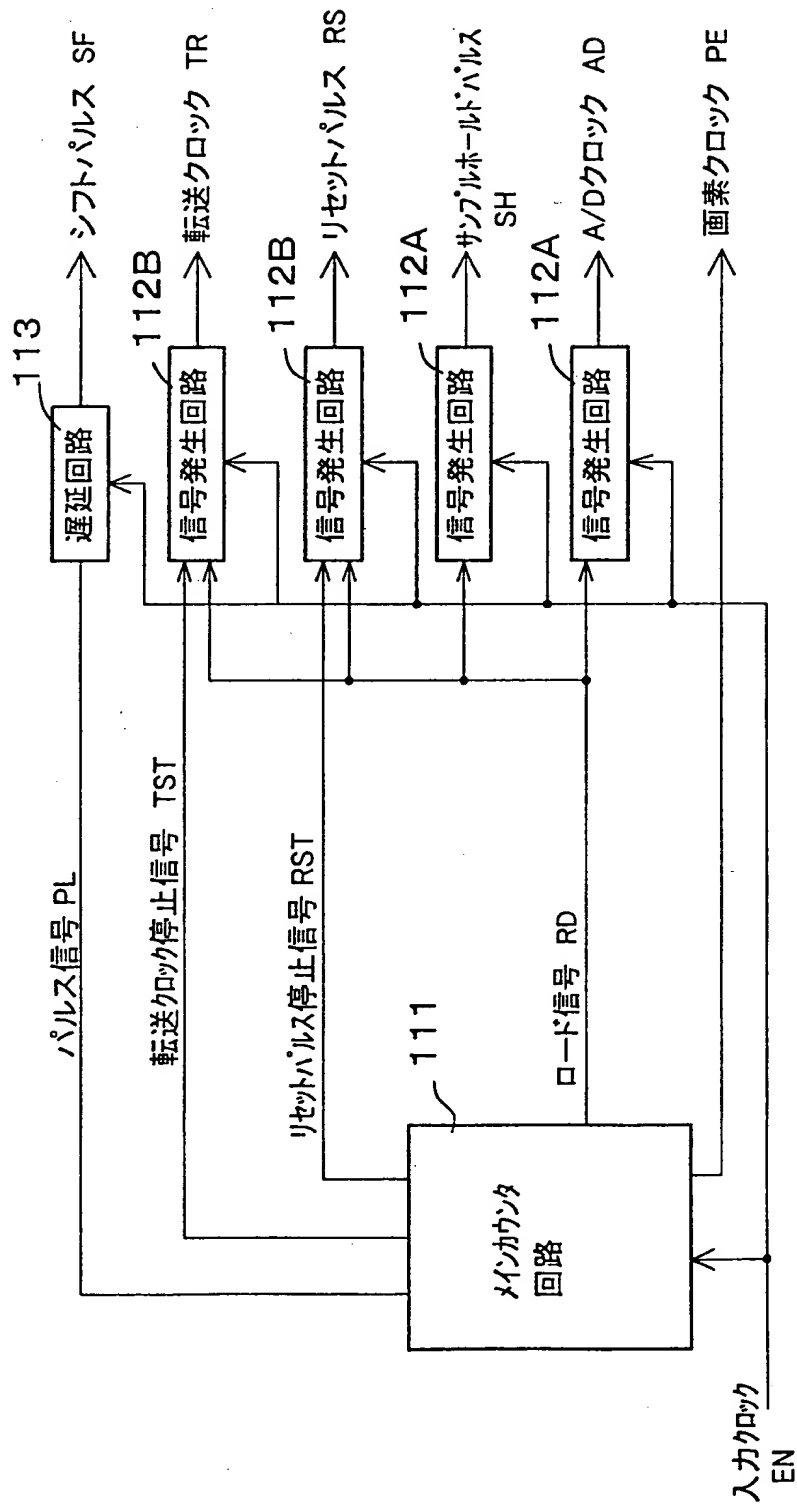
【図 15】



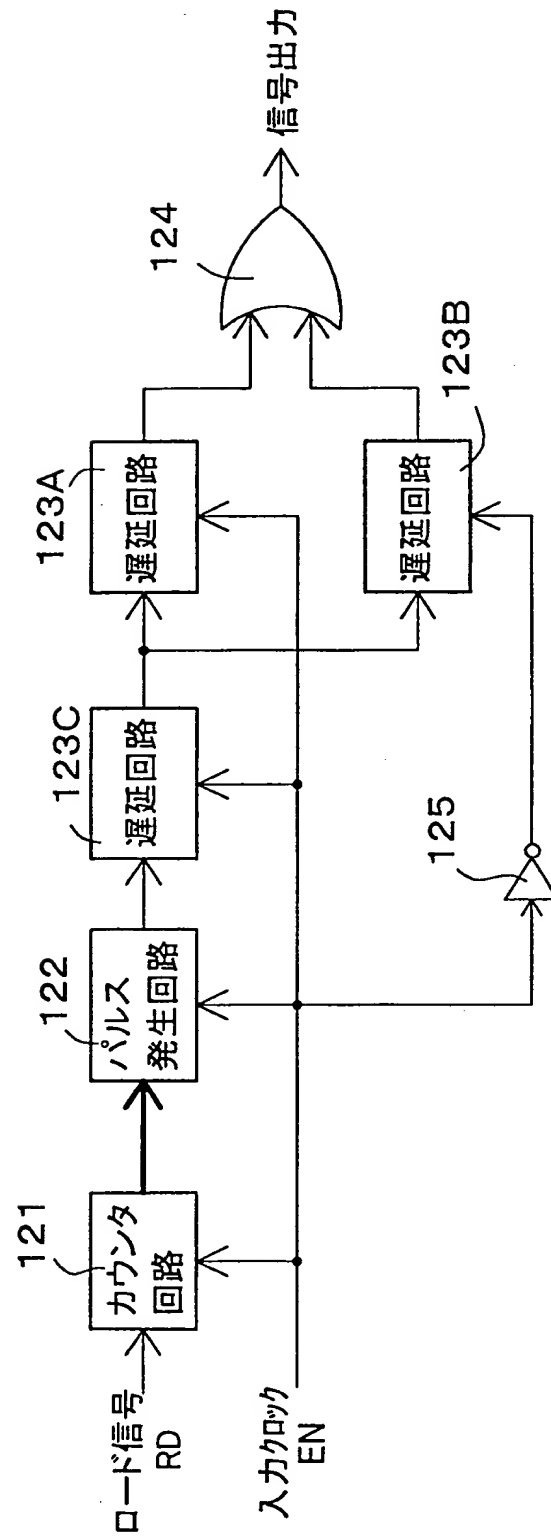
【図 16】



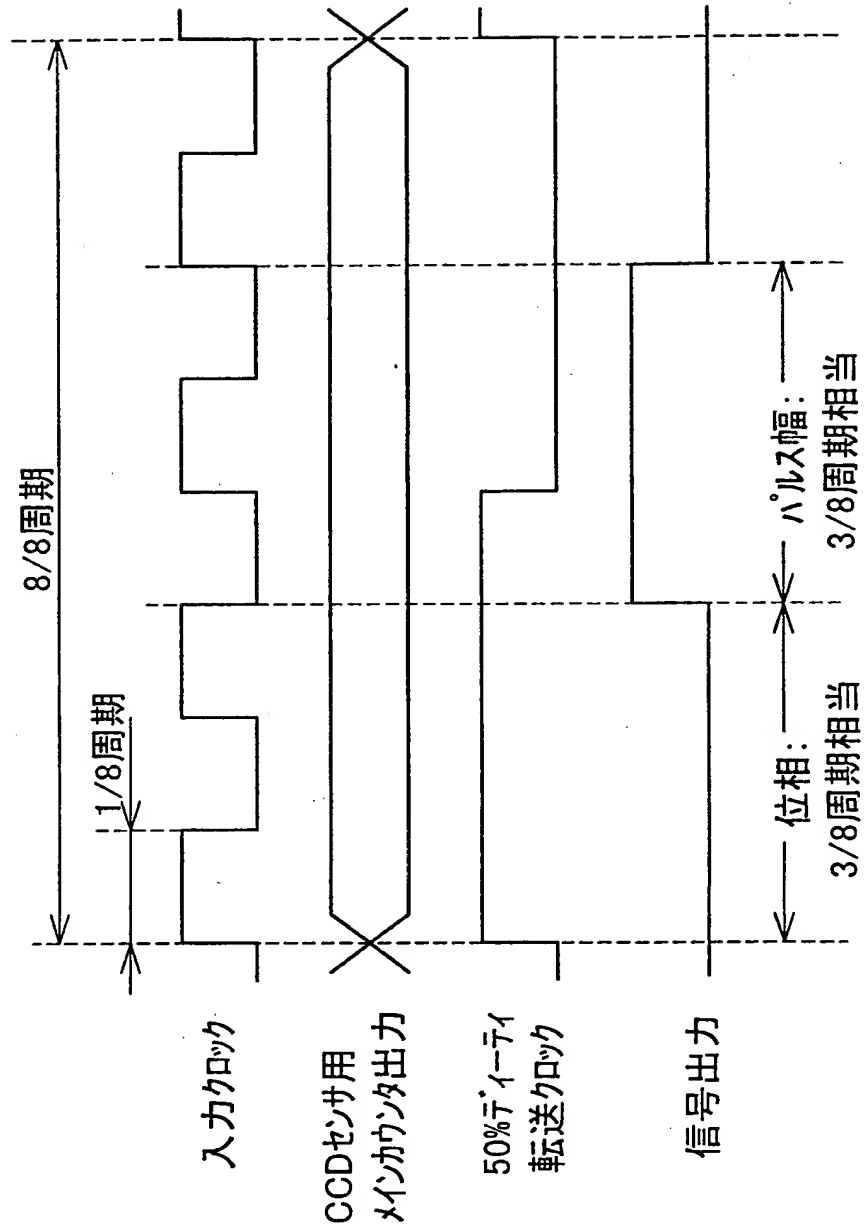
【図 17】



【図 18】



【図19】



【図 2 0】

位相設定とロード値設定の関係

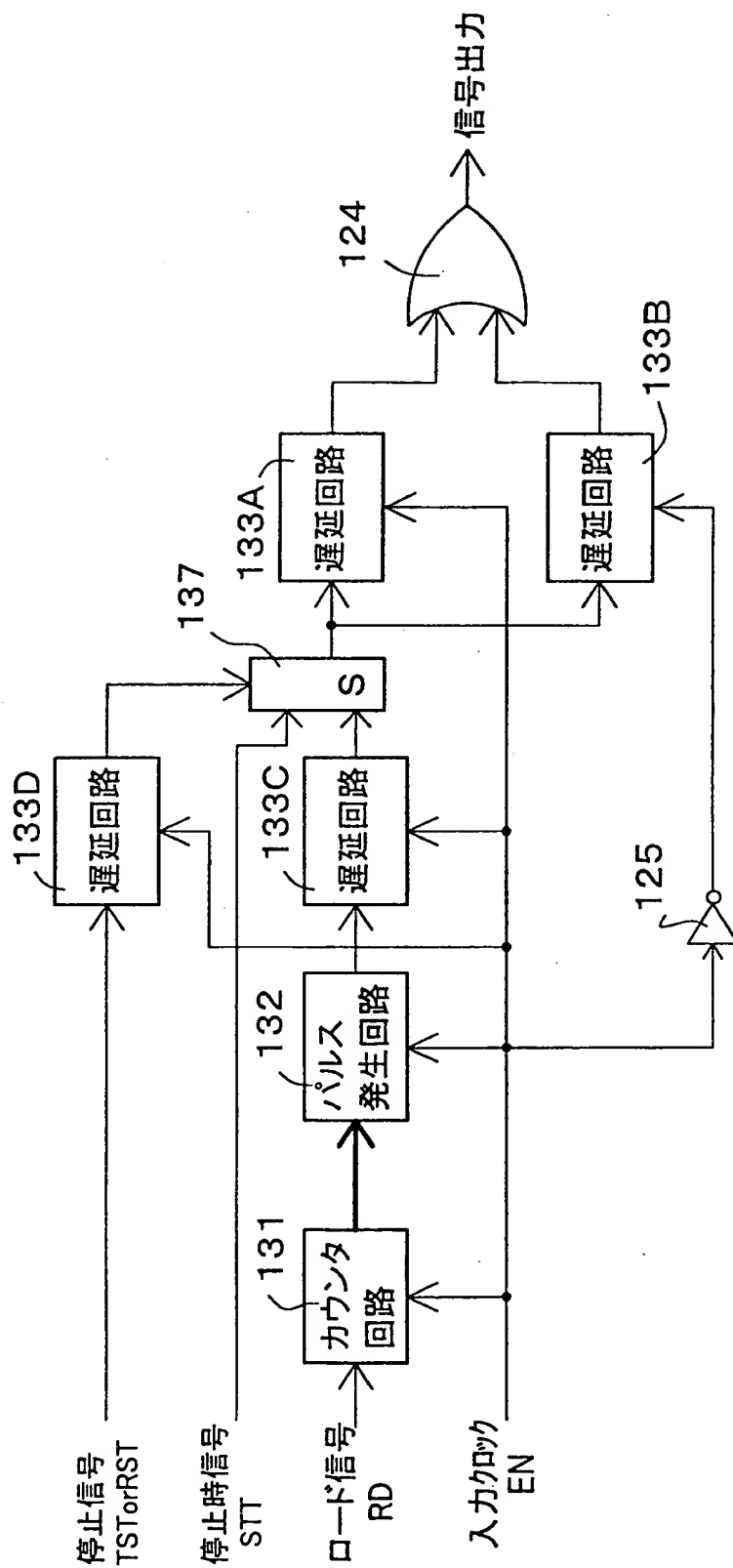
位 相	ロード値
0/8～1/8周期相当	0
2/8～3/8周期相当	3
4/8～5/8周期相当	2
6/8～7/8周期相当	1

【図 2 1】

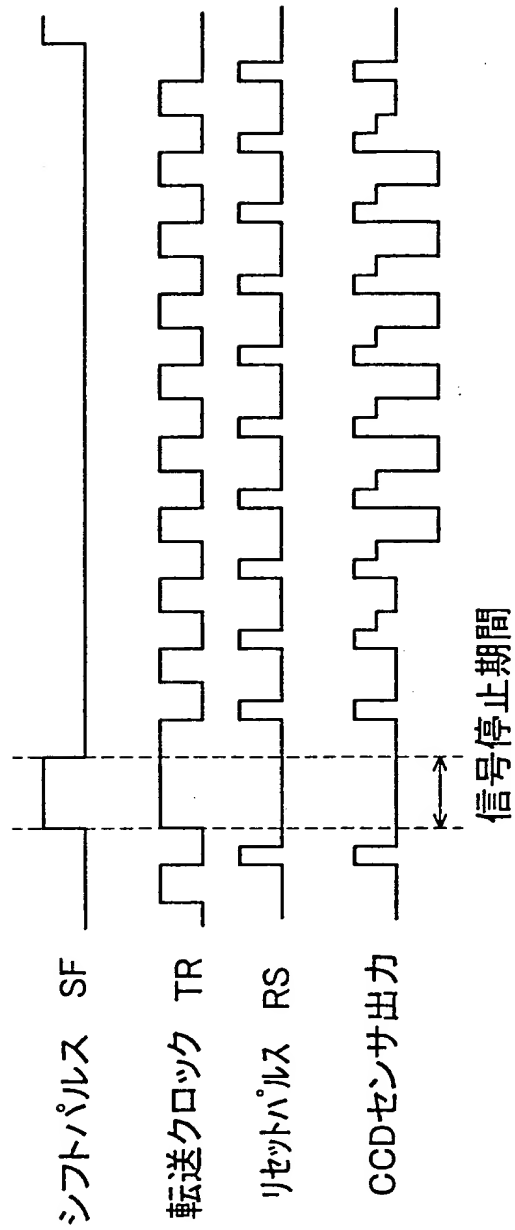
パルス幅設定と比較値設定の関係

パルス幅	比較値
2/8～3/8周期相当	1
4/8～5/8周期相当	2
6/8～7/8周期相当	3

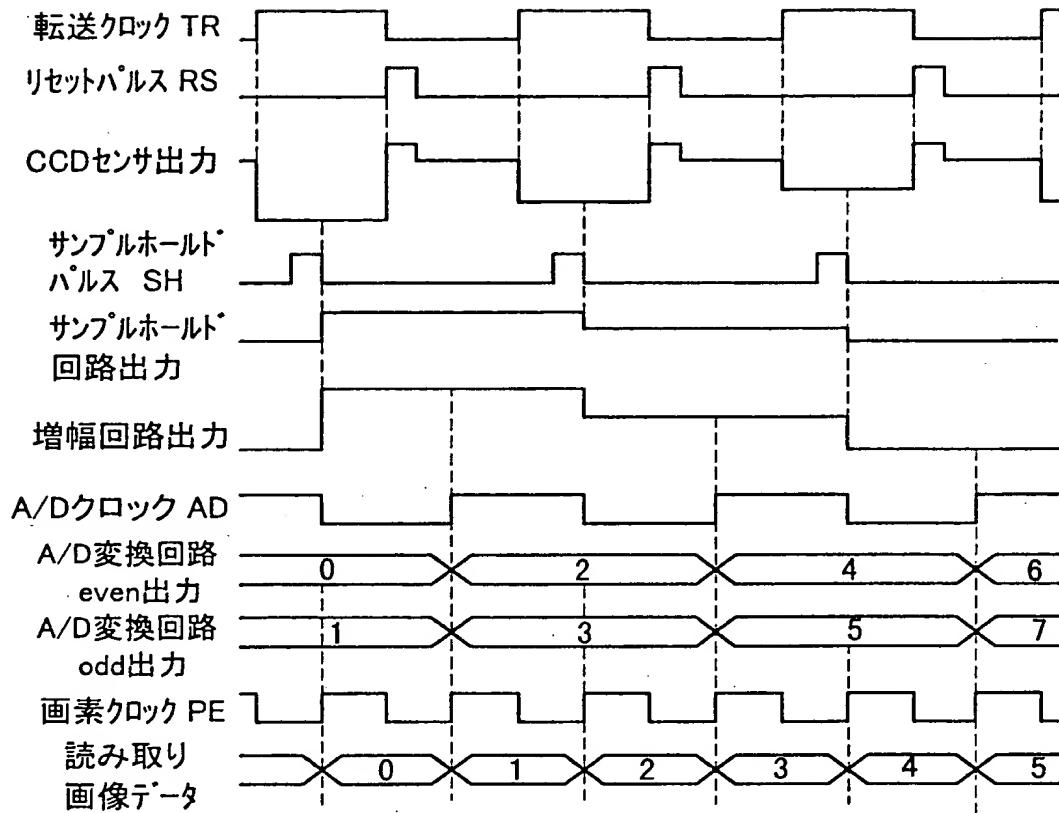
【图 2 2】



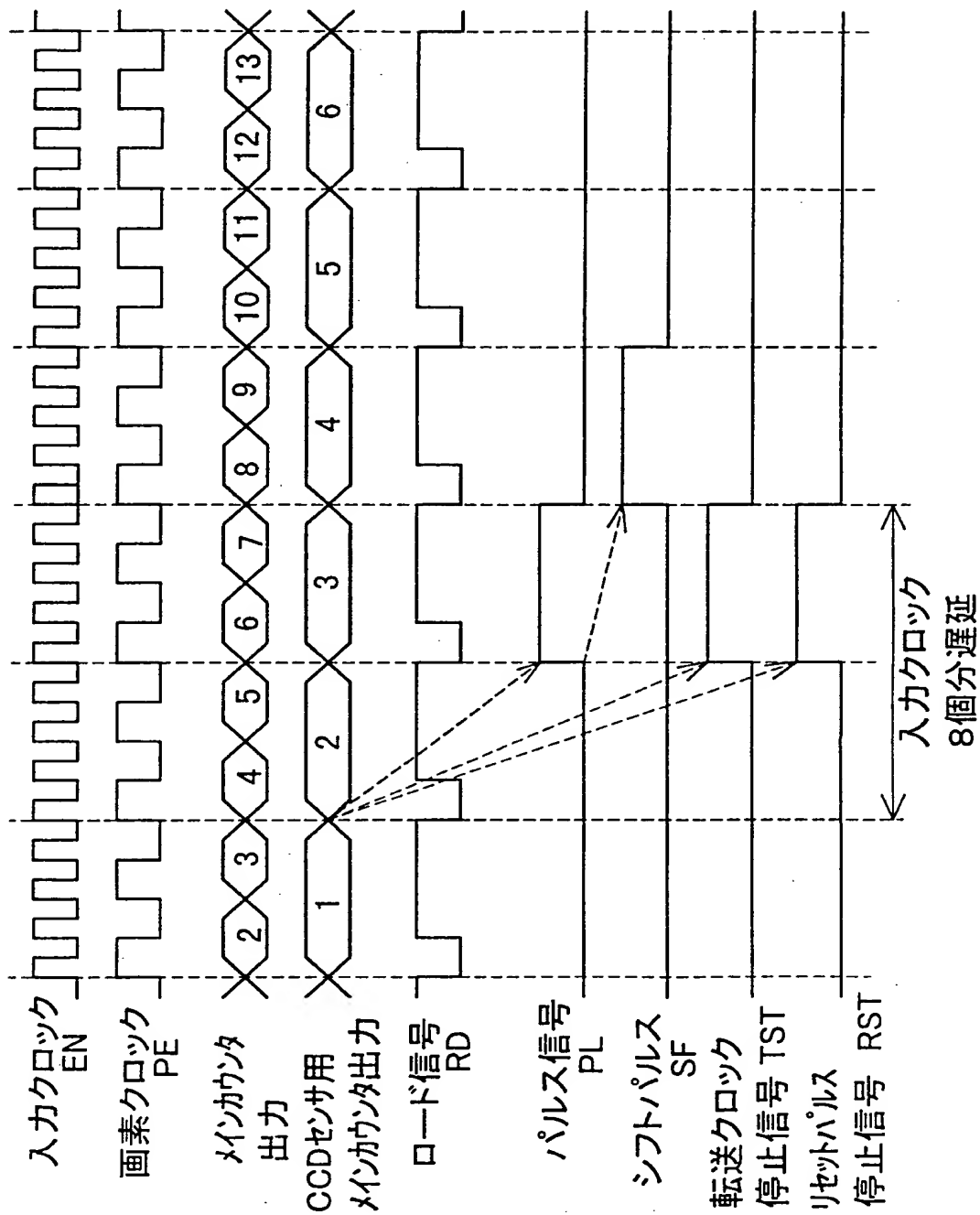
【図 23】



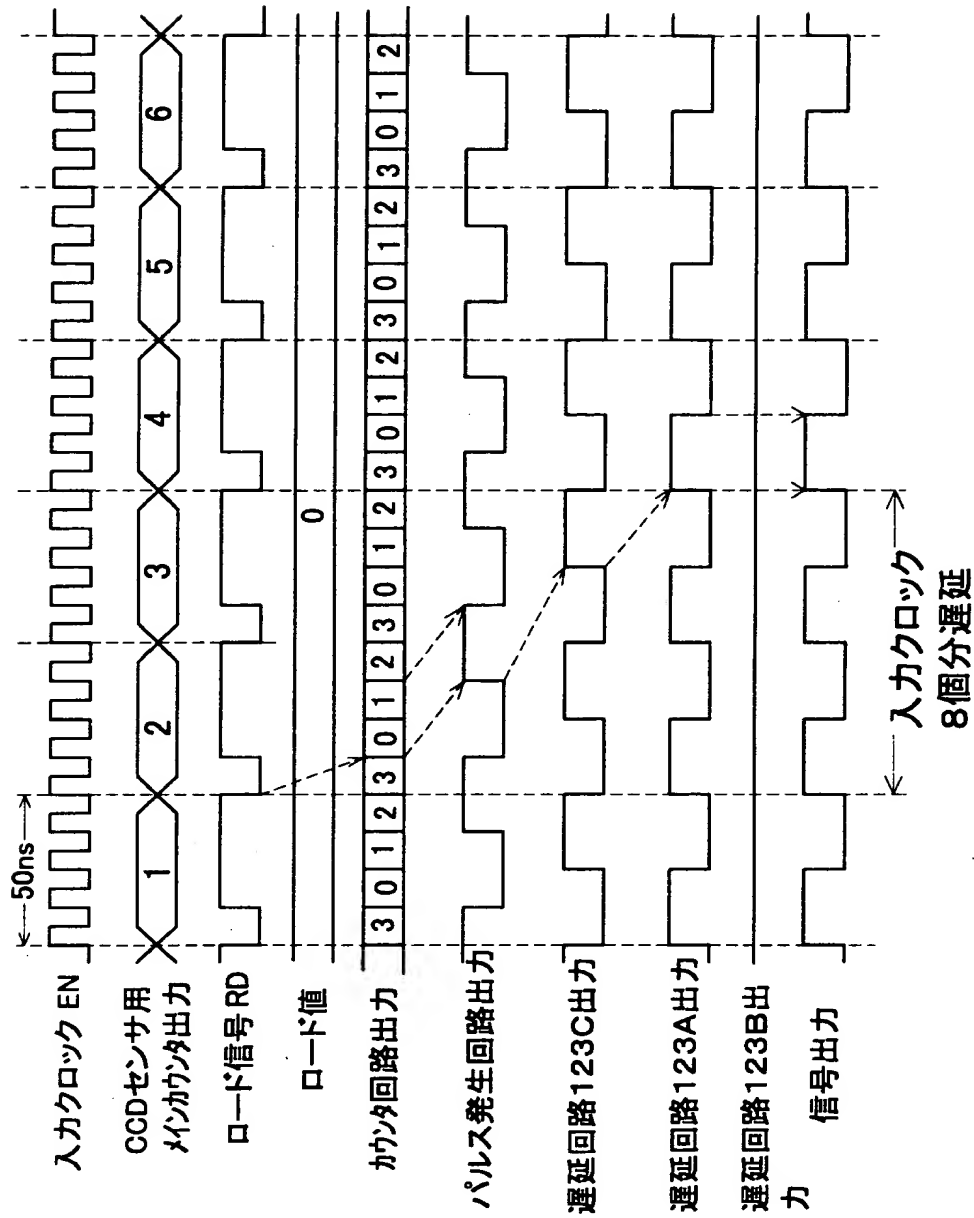
【図 24】



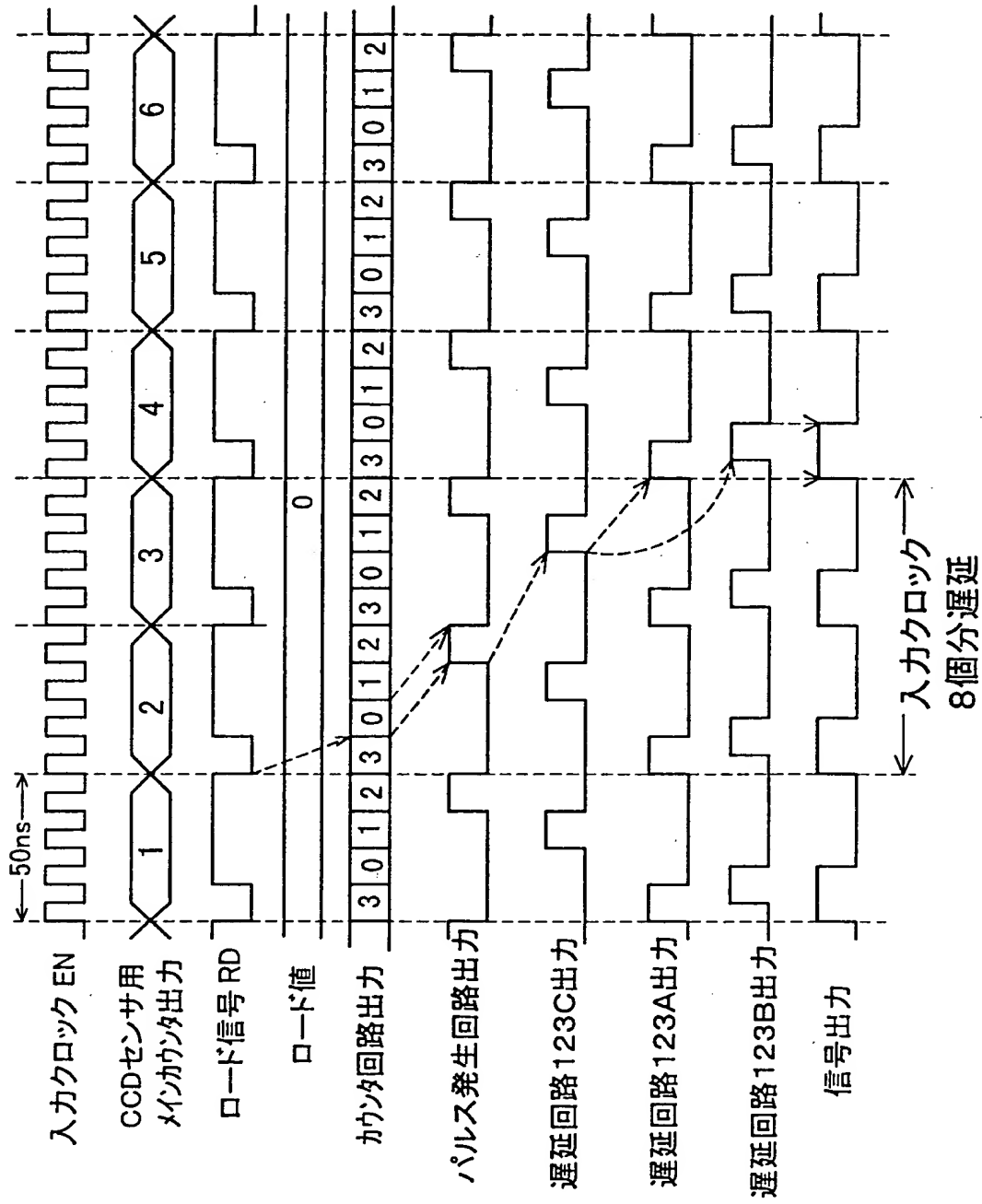
【図 25】



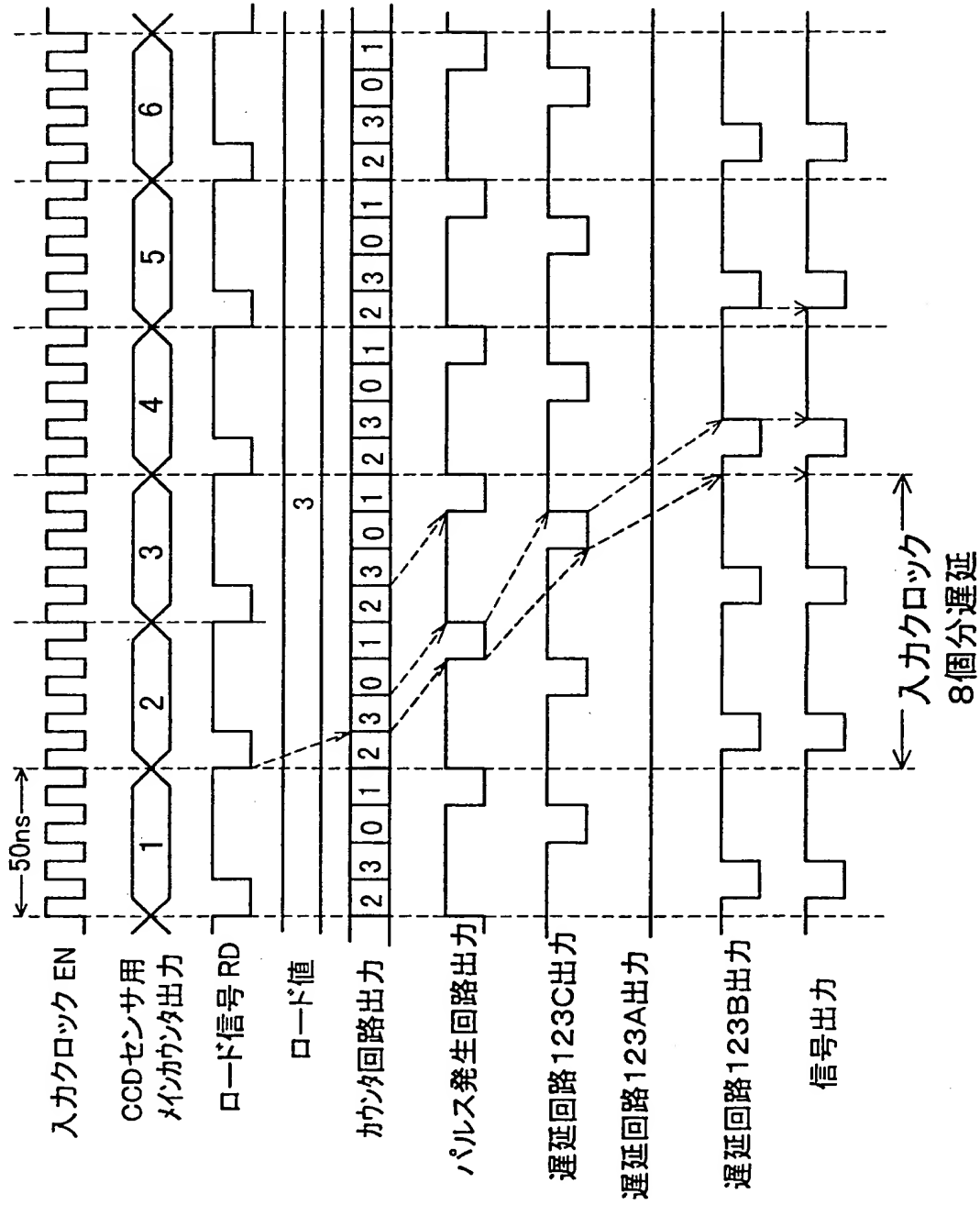
【図 26】



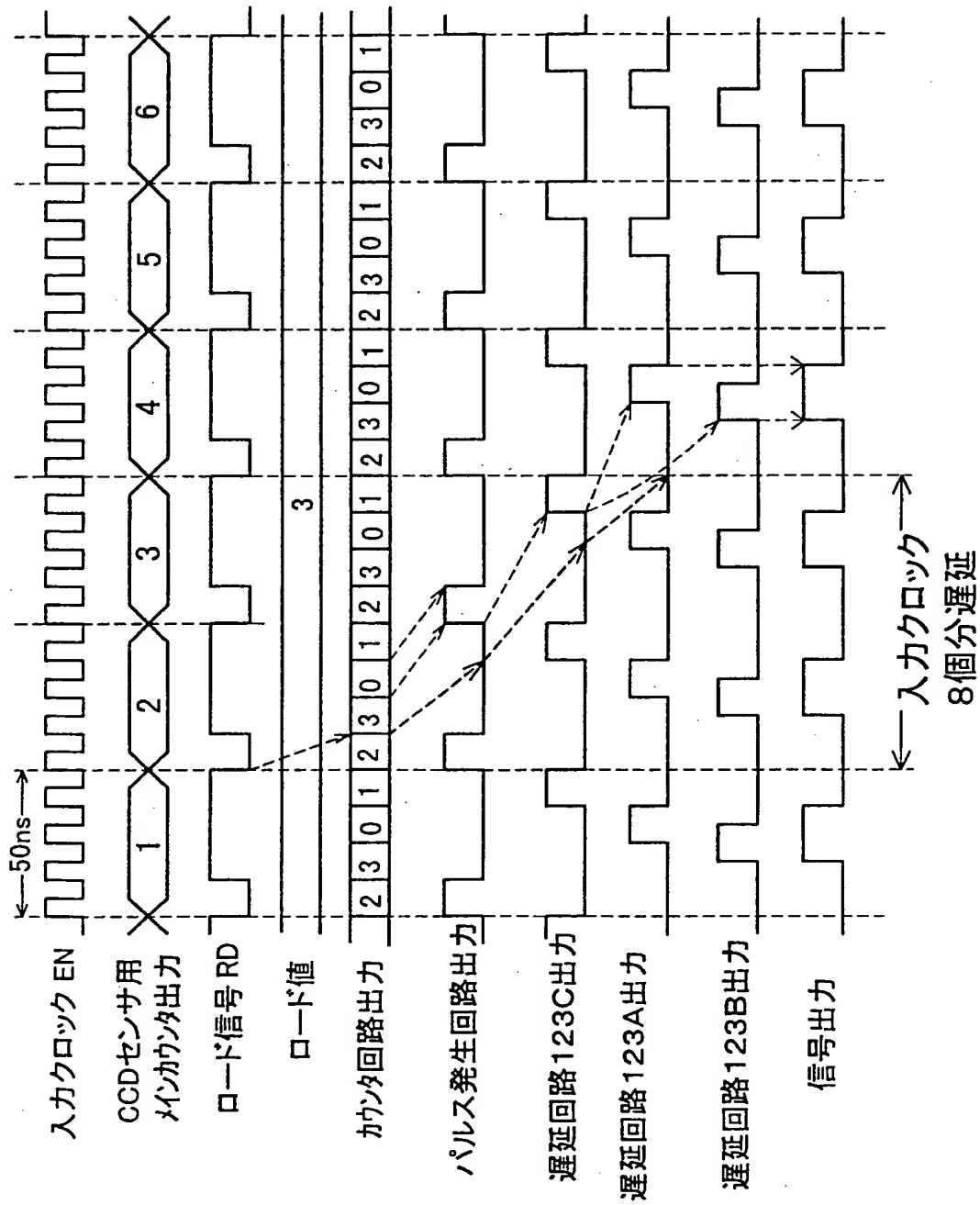
【図 27】



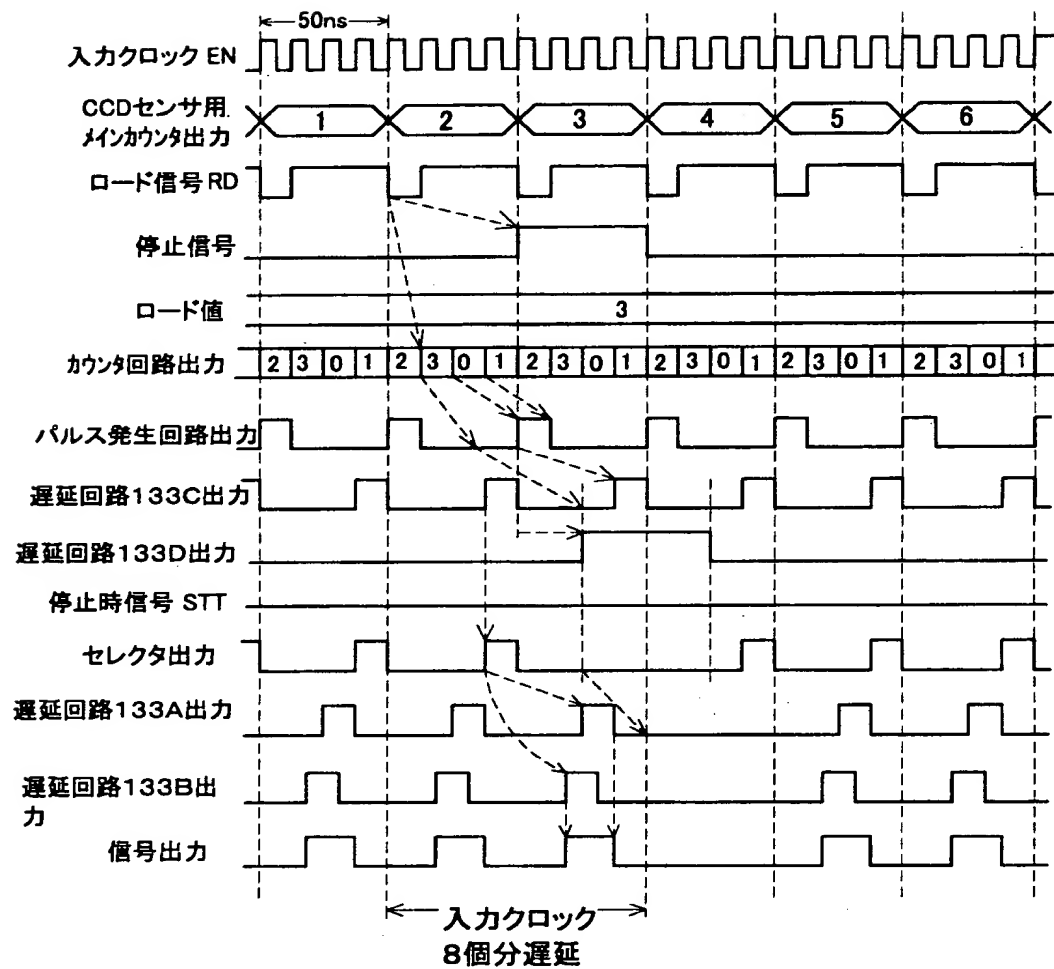
【図 28】



【図 29】



【図 30】



【書類名】 要約書

【要約】

【課題】 光電変換手段の駆動周波数に関わりなく、任意のパルス幅と位相とを有する制御信号を生成することができ、パルス幅と位相との十分な調整精度を常に確保することができる画像読み取り装置を提供すること。

【解決手段】 通倍クロックTCを生成するPLL回路14と、通倍クロックTCに基づきロード信号NRDを生成するロード信号生成回路15を設けた。そして、PLL回路14における通倍率に応じて、ロード信号NRDの生成周期、カウンタ回路21, 31におけるロード値、およびパルス発生回路22, 32における比較値を変更する。これにより、信号発生回路12A, 12Bで生成される信号におけるパルス幅と位相の調整精度を、PLL回路14における通倍率を大きくすることによって高めることができる。このため、駆動周波数を低くした場合であっても、信号発生回路12A, 12Bで生成される信号のパルス幅と位相の十分な調整精度が確保される。

【選択図】 図2

出 願 人 履 歴 情 報

識別番号 [000006079]

1. 変更年月日	1994年 7月20日
[変更理由]	名称変更
住 所	大阪府大阪市中央区安土町二丁目3番13号 大阪国際ビル
氏 名	ミノルタ株式会社